

Docket No.: R2180.0193/P193
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Naohiro Ueda

Application No.: Not Yet Assigned

Confirmation No.:

Filed: Concurrently Herewith

Art Unit: N/A

For: SEMICONDUCTOR APPARATUS AND
METHOD OF MANUFACTURING THE
SAME

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-074881	March 19, 2003

Application No.: Not Yet Assigned

Docket No.: R2180.0193/P193

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: March 17, 2004

Respectfully submitted,

By 

Thomas J. D'Amico

Registration No.: 28,371

Peter McGee

Registration No.: 35,947

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorneys for Applicant

日本国特許庁
JAPAN PATENT OFFICE

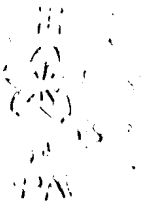
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月19日
Date of Application:

出願番号 特願2003-074881
Application Number:
[ST. 10/C]: [JP 2003-074881]

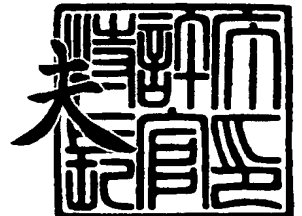
出願人 株式会社リコー
Applicant(s):



2004年 1月29日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-3004100

【書類名】 特許願

【整理番号】 0300053

【提出日】 平成15年 3月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 16

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 上田 尚宏

【特許出願人】

 【識別番号】 000006747

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100085464

 【弁理士】

 【氏名又は名称】 野口 繁雄

【手数料の表示】

 【予納台帳番号】 037017

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9808801

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 同一半導体基板上に形成された MOS トランジスタと半導体材料からなる抵抗体をもつアナログ回路を備えた半導体装置において、

前記抵抗体は金属層からなる電極パッド下に配置されていることを特徴とする半導体装置。

【請求項 2】 前記半導体材料はポリシリコン、シリコンゲルマニウム又はシリコンクロムである請求項 1 に記載の半導体装置。

【請求項 3】 前記電極パッド下に複数本数の抵抗体が配置されている請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 MOS トランジスタのゲート電極は前記抵抗体と同じ半導体材料により形成されている請求項 1、2 又は 3 に記載の半導体装置。

【請求項 5】 前記電極パッドの近傍領域の半導体基板上に形成された絶縁膜上にヒューズ素子を備えている請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 6】 前記ヒューズ素子は前記抵抗体と同じ半導体材料により形成されている請求項 5 に記載の半導体装置。

【請求項 7】 前記電極パッドよりも上層側に再配線層を備え、前記電極パッドの形成領域とは異なる領域で前記再配線層上に外部接続端子を備えている請求項 1 から 6 のいずれかに記載の半導体装置。

【請求項 8】 2 個以上の抵抗による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる電圧設定回路を備えた半導体装置において、

前記抵抗は、請求項 1 から 7 のいずれかに記載の抵抗体により構成されていることを特徴とする半導体装置。

【請求項 9】 入力電圧を分割して分割電圧を供給するための分割抵抗と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗からの分割電圧と前記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出

回路を備えた半導体装置において、

前記分割抵抗として請求項 8 に記載の電圧設定回路を備えていることを特徴とする半導体装置。

【請求項 10】 入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗からの分割電圧と前記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて前記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置において、

前記分割抵抗として請求項 8 に記載の電圧設定回路を備えていることを特徴とする半導体装置。

【請求項 11】 同一半導体基板上に形成された MOS トランジスタと半導体材料からなる抵抗体をもつアナログ回路を備えた半導体装置の製造方法において、以下の工程 (A) から (D) を含むことを特徴とする半導体装置の製造方法。

(A) 半導体基板上に絶縁膜を形成した後、前記絶縁膜の形成領域を含む半導体基板上全面に半導体材料膜を形成し、前記半導体材料膜に所定の抵抗値を得るための不純物を導入する工程、

(B) 前記半導体材料膜をパターニングして前記絶縁膜上に抵抗体を形成する工程、

(C) 前記抵抗体の形成領域を含む半導体基板上全面に絶縁層を形成する工程、

(D) 前記抵抗体の形成領域を含む領域の前記絶縁層上に金属層からなる電極パッドを形成する工程。

【請求項 12】 前記半導体材料としてポリシリコン、シリコンゲルマニウム又はシリコンクロムを用いる請求項 11 に記載の半導体装置の製造方法。

【請求項 13】 前記工程 (B) において、電極パッド形成予定領域に複数本数の抵抗体を形成する請求項 10 又は 11 に記載の半導体装置。

【請求項 14】 前記工程 (D) において前記電極パッドを形成した後、前記電極パッドの形成領域に対応して開口部をもつ第 2 絶縁層を形成し、前記電極パッド上及び前記第 2 絶縁層上に再配線層を形成し、前記電極パッドの形成領域

とは異なる領域で前記再配線層上に外部接続端子を形成する工程を含む請求項 11、12 又は 13 に記載の半導体装置の製造方法。

【請求項 15】 前記工程 (B) において、前記半導体材料膜を用いて MOS トランジスタの形成領域にゲート電極を形成する請求項 10 から 14 のいずれかに記載の半導体装置の製造方法。

【請求項 16】 半導体基板上にヒューズ素子も形成する場合、前記工程 (B) において、前記半導体材料膜を用いて前記抵抗体の形成領域とは異なる領域の前記絶縁膜上にヒューズ素子を形成する請求項 11 から 15 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、同一半導体基板上に形成された MOS トランジスタと半導体材料からなる抵抗体をもつアナログ回路を備えた半導体装置及びその製造方法に関するものである。本発明が適用される半導体装置としては、例えば電圧検出回路や定電圧発生回路などのアナログ IC (集積回路) を備えた半導体装置を挙げることができる。

【0002】

【従来の技術】

図 19 は従来の半導体装置の電極パッド近傍領域を示す図であり、(A) は平面図、(B) は (A) の X-X' 位置での断面図である。

シリコン基板からなる半導体基板 1 上に素子分離用の LOCOS (local oxidation of silicon) 酸化膜 3 が形成されている。半導体基板 1 上及び LOCOS 酸化膜 3 上に層間絶縁層 89 が形成されている。電極パッド形成領域の層間絶縁層 89 上に電極パッド 91 が形成されている。電極パッド 91 上を含む層間絶縁層 89 上に最終保護膜 93 が形成されている。最終保護膜 93 には電極パッド 91 に対応してパッド開口部 95 が形成されている。

図 19 に示すように、従来の半導体装置において、電極パッド 91 下の領域には何もデバイスを配置しないのが普通であった。

【0003】

図19では1層メタル配線の場合を示しているが、多層メタル配線構造の場合でも同様に考えることができる。つまり、多層メタル配線構造の場合は最上層のメタル配線層により電極パッドが形成される。

【0004】

従来の半導体装置の製造工程では、電極パッドにワイヤーボンディングによるアセンブリを行なう。アセンブリ工程ではパッケージのリードフレームと電極パッドをボンディングワイヤーにより接続する。

【0005】

図20はパッケージング後の半導体装置を示す断面図である。図21はワイヤーボンディング後の半導体装置の電極パッド部分を示す図であり（A）は断面図、（B）は電子顕微鏡写真である。

【0006】

図20を参照して半導体装置全体を説明すると、ダイパッド97上にチップ99が搭載されている。ダイパッド97の周囲にリードフレーム101が設けられている。チップ99に設けられた電極パッド（図20での図示は省略）と、その電極パッドに対応するリードフレーム101はボンディングワイヤー103により電氣的に接続されている。ダイパッド97、チップ99、リードフレーム101及びボンディングワイヤー103はモールド樹脂105により封止されている。リードフレーム101のチップ99とは反対側の端部はモールド樹脂105の外部に設けられている。

【0007】

電極パッド91へのボンディングワイヤー103の接続（ワイヤーボンディング）には強い衝撃が伴うことが知られている。この衝撃はそのまま半導体チップに伝わるので、電極パッド91の下方には安全のため敢えてデバイスを配置しないのが一般的であった。

【0008】

また、近年のメタル配線の多層化技術の実現で、電極パッドと半導体基板との間に多層のメタル配線や絶縁膜が介在することになったため、ワイヤーボンディ

ングの衝撃が半導体基板に伝わりにくくなっている。

【0009】

例えば5層メタル配線構造の場合には、図22に示すように、第5層目のメタル配線層により構成される電極パッド91と半導体基板1との間には、層間絶縁層89、第1層目のメタル配線層29-1、第2層目のメタル配線層29-2、第3層目のメタル配線層29-3及び第4層目のメタル配線層29-4が設けられている。

【0010】

多層メタル配線構造では、電極パッドへのワイヤーボンディングの衝撃が半導体基板に伝わりにくくなっていることにより、電極パッドの下方にデバイスを配置する試みが行われつつある。

【0011】

電極パッド下にデバイスを配置した半導体装置の例として、電極パッド下に入力保護素子を配置したものがある。

例えば、電極パッドの下部領域に、抵抗からなるか、又は抵抗及びダイオードからなる静電気破壊防止層を設けた半導体回路がある。その静電気破壊防止層の一端を電極パッドに接続し、静電気防止破壊層の他端を内部回路に電氣的に接続して、電極パッドと内部回路との電氣的接続を、静電気破壊防止層を通して行なっている（例えば、特許文献1参照。）。

【0012】

また、P型半導体基板のPウェル領域上に形成された上層メタル配線と下層メタル配線からなる正八角形の電極パッドの下層メタル配線の各辺周縁部領域下にパンチスルー素子とトランジスタの保護素子を交互に配置するとともに、下層メタル配線の周りにリング状の下層メタル配線放電線を設け、保護素子の2つのN型拡散層を、それぞれコンタクトを介してそれぞれ下層メタル配線及び下層メタル配線放電線に接続した半導体装置がある（例えば、特許文献2参照。）。

【0013】

以上のように、電極パッドの下方にデバイスを配置するアイデアは既にいくつか発案されているものの、配置するデバイスは入力保護を目的としたものであ

て、実際の集積回路の動作の上で必要とされるものではなく、電極パッドの下方に集積回路を構成する素子を配置している従来技術はないのが実状であった。

【0014】

また、ポリシリコンなどの半導体材料からなる抵抗体を備えた従来の半導体装置では、製造工程中や長時間の放置によって、抵抗体上の絶縁層を介して大気中の水分が浸入したり、上層の膜に含有されている不純物イオン等が抵抗体に侵入したりすることにより、抵抗体の抵抗値がばらつくという問題があった。特に、PSG膜やSiN膜等の絶縁膜をプラズマCVD (chemical vapor deposition) 法で成膜する場合には、PSG (phospho silicate glass) 膜やSiN (silicon nitride) 膜に含有される水素イオンの抵抗体への拡散が問題となっていた。

【0015】

【特許文献1】

特開平6-188369号公報

【特許文献2】

特開2001-358302号公報

【0016】

【発明が解決しようとする課題】

本発明は、同一半導体基板上に形成されたMOSトランジスタと半導体材料からなる抵抗体をもつアナログ回路を備えた半導体装置及びその製造方法において、抵抗体の抵抗値の安定性の向上及びチップ面積の縮小化を図ることを目的とするものである。

【0017】

【課題を解決するための手段】

本発明の半導体装置は、同一半導体基板上に形成されたMOSトランジスタと半導体材料からなる抵抗体をもつアナログ回路を備えた半導体装置であって、上記抵抗体は金属層からなる電極パッド下に配置されているものである。

【0018】

本発明の半導体装置の製造方法は、同一半導体基板上に形成されたMOSトラ

ンジスタと半導体材料からなる抵抗体をもつアナログ回路を備えた半導体装置の製造方法であって、以下の工程（A）から（D）を含む。

（A）半導体基板上に絶縁膜を形成した後、上記絶縁膜の形成領域を含む半導体基板上全面に半導体材料膜を形成し、上記半導体材料膜に所定の抵抗値を得るための不純物を導入する工程、

（B）上記半導体材料膜をパターンニングして上記絶縁膜上に抵抗体を形成する工程、

（C）上記抵抗体の形成領域を含む半導体基板上全面に絶縁層を形成する工程、

（D）上記抵抗体の形成領域を含む領域の上記絶縁層上に金属層からなる電極パッドを形成する工程。

【0019】

本発明の半導体装置では、アナログ回路を構成する抵抗体が電極パッド下に配置されている。本発明の半導体装置の製造方法では抵抗体の形成領域を含む領域の絶縁層上に電極パッドを形成する。したがって、電極パッドにより、電極パッドよりも上層側からの抵抗体への不純物イオンや電荷、水分、水素などの侵入を防止することができるので、抵抗体の抵抗値の安定性を向上させることができる。

さらに、電極パッド下に抵抗体を配置することにより、抵抗体のためだけのレイアウト面積をなくすことができるので、電極パッドの形成領域とは異なる領域に抵抗体が配置されている従来の半導体装置に比べて、チップ面積の縮小化を図ることができる。さらに、チップ面積の縮小化によってウェハ1枚当たりのチップの取れ数を増加させることができるので、製造コストを低減することができる。

【0020】

【発明の実施の形態】

本発明の半導体装置及びその製造方法において、抵抗体を構成する上記半導体材料の一例として、ポリシリコン、シリコンゲルマニウム又はシリコンクロムを挙げることができる。

【0021】

本発明の半導体装置において、上記電極パッド下に複数本数の抵抗体が配置されていることが好ましい。

本発明の半導体装置の製造方法の上記工程（B）において、電極パッド形成予定領域に複数本数の抵抗体を形成することが好ましい。

その結果、チップ面積をさらに縮小することができる。

【0022】

本発明の半導体装置において、同一基板上に形成されるMOSトランジスタのゲート電極は上記抵抗体と同じ半導体材料により形成されているようにしてもよい。本明細書において、同じ半導体材料とは、半導体材料の種類が同じであることを意味し、ゲート電極を構成する半導体材料と抵抗体を構成する半導体材料について不純物濃度は互いに異なっている。

本発明の半導体装置の製造方法の上記工程（B）において、上記半導体材料膜を用いてMOSトランジスタの形成領域にゲート電極を形成するようにしてもよい。

これにより、ゲート電極を形成するための半導体材料膜を抵抗体用の半導体材料膜とは別途形成する場合に比べて、製造工程の短縮及び製造コストの低減を図ることができる。

【0023】

本発明の半導体装置において、上記電極パッドの近傍領域の半導体基板上に形成された絶縁膜上にヒューズ素子を備えていることが好ましい。

例えば、ヒューズ素子の切断により抵抗値を調整できる電圧設定回路を備えた半導体装置では、抵抗体群の近傍にヒューズ素子を備えている。そのような半導体装置において、電極パッドの近傍領域にヒューズ素子を備えることにより、ヒューズ素子と抵抗体群を接続する配線の引き回しが容易になり、回路設計を容易にすることができる。ただし、ヒューズ素子の使用の目的は抵抗値調整に限定されるものではない。

また、電極パッドはチップの外周部分に配列されるのが一般的であるが、隣り合う電極パッド間の領域には何もデバイスを配置していない。したがって、隣り合う電極パッド間の領域にヒューズ素子を配置するようにすれば、チップ面積の

縮小化を図ることができる。

【0024】

本発明の半導体装置において、上記ヒューズ素子は上記抵抗体と同じ半導体材料により形成されているようにしてもよい。ここで、ヒューズ素子を構成する半導体材料と抵抗体を構成する半導体材料について不純物濃度は互いに異なっている。

本発明の半導体装置の製造方法において、半導体基板上にヒューズ素子も形成する場合、上記工程（B）で、上記半導体材料膜を用いて上記抵抗体の形成領域とは異なる領域の上記絶縁膜上にヒューズ素子を形成するようにしてもよい。

これにより、ヒューズ素子を形成するための半導体材料膜を抵抗体用の半導体材料膜とは別途形成する場合に比べて、製造工程の短縮及び製造コストの低減を図ることができる。

【0025】

本発明の半導体装置において、上記電極パッドよりも上層側に再配線層を備え、上記電極パッドの形成領域とは異なる領域で上記再配線層上に外部接続端子を備えているようにしてもよい。

本発明の半導体装置の製造方法において、上記工程（D）において上記電極パッドを形成した後、上記電極パッドの形成領域に対応して開口部をもつ第2絶縁層を形成し、上記電極パッド上及び上記第2絶縁層上に再配線層を形成し、上記電極パッドの形成領域とは異なる領域で上記再配線層上に外部接続端子を形成する工程を含むようにしてもよい。

WL-CSP（Wafer Level - Chip Size Package）など、電極パッドよりも上層側に再配線層が形成される半導体装置に本発明の半導体装置及びその製造方法を適用すれば、電極パッドには例えばワイヤーボンディングなどの外部接続端子の接続処理は施されないので、電極パッドへの強い機械的衝撃をなくことができ、電極パッド下に配置した抵抗体について、電極パッドへの衝撃に起因する特性ズレや信頼性の低下などの悪影響を排除することができる。

ここで、CSPとは、チップサイズと同等か、わずかに大きいパッケージの総称であり、高密度実装を目的としたパッケージである。また、WL-CSPは、

個々のチップに分割するためのダイシング前にアレイ状のパッドを作り込むCSPである。

【0026】

本発明の半導体装置が適用される半導体装置の一例として、2個以上の抵抗による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる電圧設定回路を備えた半導体装置を挙げることができる。その電圧設定回路を構成する抵抗は、本発明の半導体装置を構成する抵抗体により構成される。

本発明の半導体装置を構成する抵抗体によれば、抵抗の抵抗値の安定性を向上させることができるので、電圧設定回路の出力電圧の精度を向上させることができる。さらに、本発明の半導体装置ではチップ面積の縮小化を図ることができるので、電圧設定回路を備えた半導体装置のチップ面積の縮小化を図ることができる。

【0027】

本発明の半導体装置が適用される半導体装置の他の例として、入力電圧を分割して分割電圧を供給するための分割抵抗と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗からの分割電圧と上記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置を挙げることができる。その電圧検出回路を構成する分割抵抗は、本発明の半導体装置を構成する抵抗体が適用された電圧設定回路により構成される。

本発明の半導体装置を構成する抵抗体が適用された電圧設定回路によれば出力電圧の精度を向上させることができるので、電圧検出回路の電圧検出能力の精度を向上させることができる。さらに、本発明の半導体装置ではチップ面積の縮小化を図ることができるので、電圧検出回路を備えた半導体装置のチップ面積の縮小化を図ることができる。

【0028】

本発明の半導体装置が適用される半導体装置のさらに他の例として、入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗からの分割電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じ

て上記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置を挙げることができる。その電圧検出回路を構成する分割抵抗は、本発明の半導体装置を構成する抵抗体が適用された電圧設定回路により構成される。

本発明の半導体装置を構成する抵抗体が適用された電圧設定回路によれば出力電圧の精度を向上させることができるので、定電圧発生回路の出力電圧の安定性を向上させることができる。さらに、本発明の半導体装置ではチップ面積の縮小化を図ることができるので、定電圧発生回路を備えた半導体装置のチップ面積の縮小化を図ることができる。

【0029】

【実施例】

図1は、半導体装置の一実施例を示す図であり、(A)は平面図、(B)は(A)のA-A'位置での断面図である。図2は図1(A)のB-B'位置での断面図である。図1では、抵抗体、ヒューズ素子及びMOSトランジスタについて、それぞれ1つずつ図示している。また、図1(A)では層間絶縁層の図示は省略している。なお、本発明の半導体装置は、抵抗体に対するヒューズ素子及びMOSトランジスタの配置方向に関して図1に示した配置に限定されるものではない。

【0030】

シリコン基板からなる半導体基板1上に、LOCOS法により形成された素子分離用のLOCOS酸化膜3が形成されている。

抵抗体形成領域のLOCOS酸化膜3上に帯状のポリシリコン膜からなる複数の抵抗体9が配列されている。抵抗体9を構成するポリシリコンには所定の抵抗値を得るための不純物、例えばリンが導入されている。各抵抗体9の両端に、ポリシリコン膜にN型不純物、例えばリンが高濃度に導入されて形成された低抵抗ポリシリコン領域11がそれぞれ形成されている。低抵抗ポリシリコン領域11は抵抗体9の電位をとるためのものである。

【0031】

ヒューズ素子形成領域のLOCOS酸化膜3上に、ポリシリコン膜からなるヒ

ューズ素子 13 が形成されている。ヒューズ素子を構成するポリシリコン膜には、N 型不純物、例えばリンが高濃度に導入されて低抵抗化されている。

【0032】

LOCOS 酸化膜 3 で囲まれた MOS トランジスタ形成領域の半導体基板 1 上に、ゲート酸化膜 15 を介して、ポリシリコンからなる帯状のゲート電極 17 が形成されている。ゲート電極 17 は LOCOS 酸化膜 3 上に延伸して形成されている。ゲート電極 17 には、N 型不純物、例えばリンが高濃度に導入されて低抵抗化されている。

MOS トランジスタ形成領域の半導体基板 1 に、ゲート電極 17 の形成領域を挟んで、N 型不純物、例えばリン又はヒ素が注入されてなるソース拡散層 19 及びドレイン拡散層 21 が形成されている。

【0033】

抵抗体 9 上、ヒューズ素子 13 上及びゲート電極 17 上を含む半導体基板 1 上全面に下層が NSG (non-doped silicate glass) 膜 23、上層が BPSG (boro-phospho silicate glass) 膜 25 からなる層間絶縁層が形成されている。

【0034】

NSG 膜 23 及び BPSG 膜 25 には、抵抗体 9 の両端に設けられた低抵抗ポリシリコン領域 11, 11、ヒューズ素子 13、ゲート電極 17、ソース拡散層 19 及びドレイン拡散層 21 に対応して接続孔 27 が形成されている。ただし、抵抗体 9 の配列の両端に配置された抵抗体 9 はダミーパターンとして用いられるので、ダミーパターンの抵抗体 9 の両端に設けられた低抵抗ポリシリコン領域 11, 11 上には接続孔 27 は形成されていない。ここで、ダミーパターンは外部からの水素などの侵入や、応力の集中による特性の変化を防止する目的で設けられている。

【0035】

BPSG 膜 25 上及び接続孔 27 内に例えば Al-Si 合金 (Si: 1w% (質量パーセント)) からなるメタル配線層 29 が形成されている。

BPSG 膜 25 上には、抵抗体 9 の形成領域を含む電極パッド形成領域に、メタル配線層 29 と同じ材料からなる電極パッド 31 が形成されている。

【0036】

メタル配線層 29 上及び電極パッド 31 上を含む BPSG 膜 25 上に、例えば下層が PSG 膜 33、上層が SiN 膜 35 からなるパッシベーション膜が形成されている。

NSG 膜 23、BPSG 膜 25、PSG 膜 33 及び SiN 膜 35 には、ヒューズ素子 13 に対応してトリミング窓開口部 37 が形成され、電極パッド 31 に対応してパッド開口部 39 が形成されている。

【0037】

この実施例では、抵抗体 9 が電極パッド 31 下に配置されているので、電極パッド 31 により、電極パッド 31 よりも上層側からの抵抗体 9 への不純物イオンや電荷、水分、水素などの侵入を防止することができ、抵抗体の抵抗値の安定性を向上させることができる。

【0038】

図 3 は、抵抗体、ヒューズ素子及び MOS トランジスタを備えた半導体装置のレイアウト例を示す図であり、(A) は実施例、(B) は従来例、(C) は実施例の電極パッド近傍領域の拡大図を示す。

【0039】

従来例 (B) では、MOS トランジスタを含む内部回路 41 と、複数の抵抗体 9、複数のヒューズ素子 13、複数の電極パッド 31 はそれぞれ異なる領域に配置されている。さらに、従来例では、隣り合う電極パッド 31、31 間の領域には何も配置されていない。

例えば、複数の抵抗体 9 が配列されている領域の寸法は縦 $60\ \mu\text{m}$ × 横 $240\ \mu\text{m}$ (マイクロメートル)、複数のヒューズ素子 13 が配置されている領域の寸法は縦 $30\ \mu\text{m}$ × 横 $240\ \mu\text{m}$ 、電極パッド 31 の寸法は縦 $100\ \mu\text{m}$ × 横 $100\ \mu\text{m}$ 、隣り合う電極パッド 31、31 の間隔は $60\ \mu\text{m}$ である。

【0040】

実施例 (A) では、抵抗体 9 は電極パッド 31 下の領域に配置されている。例えば、(B) に示した複数の抵抗体 9 の配置領域 (縦 $60\ \mu\text{m}$ × 横 $240\ \mu\text{m}$) を、縦 $60\ \mu\text{m}$ × 横 $80\ \mu\text{m}$ の 3 つの領域に分割すれば、分割した抵抗体領域を

それぞれ電極パッド31（縦 $100\mu\text{m}$ ×横 $100\mu\text{m}$ ）の下に配置することができる。これにより、抵抗体9のためだけのレイアウト面積をなくすることができるので、電極パッド31とは異なる領域に抵抗体9が配置されている従来例（B）に比べて、チップ面積の縮小化を図ることができる。

【0041】

さらに、実施例（A）では、ヒューズ素子13は、隣り合う電極パッド31，31間の領域に配置されている。例えば（B）に示した複数のヒューズ素子13の配置領域（縦 $30\mu\text{m}$ ×横 $240\mu\text{m}$ ）を3つのヒューズ素子領域に分割すれば、分割したヒューズ素子領域をそれぞれ電極パッド31，31間の領域（縦 $100\mu\text{m}$ ×横 $60\mu\text{m}$ ）に配置することができる。これにより、従来例（B）に比べて、さらにチップ面積の縮小化を図ることができる。

【0042】

したがって、上記の寸法例では、実施例（A）は従来例（B）に比べて縦方向で $90\mu\text{m}$ だけチップ面積を縮小することができる。

チップ面積の縮小化によりウェハ1枚当たりのチップの取れ数を増加させることができるので、製造コストを低減することができる。

【0043】

図4及び図5は、図1及び図2に示した半導体装置の実施例を製造するための製造方法の一実施例を示す工程断面図である。図6は、この実施例において低抵抗ポリシリコン膜形成時に用いるマスク用酸化膜を形成した状態での抵抗体形成領域近傍の平面図である。

【0044】

（1）ウェハ状態の半導体基板1上に、LOCOS法によりLOCOS酸化膜3を形成する。半導体基板1に対して熱酸化処理を施して、MOSトランジスタ形成領域の半導体基板1の表面にゲート酸化膜15を形成する。

例えば減圧CVD法により、半導体基板1上全面にポリシリコン膜43を例えば 350nm （ナノメートル）の膜厚に形成する。減圧CVDの条件として、例えば温度は $620\sim 635^{\circ}\text{C}$ 、成膜ガスは $\text{SiH}_4/\text{H}_2=300/450\text{ sccm}$ 、圧力は 0.5 Torr の条件を挙げることができる。

【0045】

ポリシリコン膜43全面にN型不純物、例えばリンをイオン注入してポリシリコン膜43の抵抗値を制御する(図4(a)参照)。イオン注入条件は、例えばイオンエネルギーは30keV、ドーズ量は $4.3 \times 10^{14} \text{ atoms/cm}^2$ で行なった。ここでドーズ量は、抵抗体において目的とする抵抗値に合わせて、通常 $1 \times 10^{13} \sim 1 \times 10^{15} \text{ atoms/cm}^2$ で制御する。

【0046】

(2) 例えば減圧CVD法により、ポリシリコン膜43上に酸化膜を200nmの膜厚に形成した後、写真製版技術により、酸化膜をパターンニングして、抵抗体形成領域で少なくとも抵抗体となる領域を覆うマスク用酸化膜45を形成する。

【0047】

図6を参照してマスク用酸化膜45の形成領域について説明すると、マスク用酸化膜45は、抵抗体用パターン形成予定領域49のうち、中央側の抵抗体となる領域のポリシリコン膜43を覆い、両端側の低抵抗ポリシリコン領域となる領域のポリシリコン膜43を覆わないように配置されている。

【0048】

ポリシリコン膜43に対してリンガラスの堆積及びドライブ拡散を行なって、抵抗体のコンタクト用の低抵抗ポリシリコン領域、ヒューズ素子及びMOSトランジスタのゲート電極の形成予定領域を含む領域のポリシリコン膜43にリンを高濃度に導入して低抵抗ポリシリコン膜47を形成する。このとき、抵抗体用パターン形成領域49のポリシリコン膜43のうち、抵抗体となる中央側の領域はマスク用酸化膜45により覆われているのでリンは導入されず、両端側のポリシリコン膜43にはリンが導入されて低抵抗ポリシリコン膜47が形成される(図4(b)参照)。

【0049】

(3) マスク用酸化膜45を除去した後、写真製版技術及びドライエッチング技術により、ポリシリコン膜43及び低抵抗ポリシリコン膜47をパターンニングして、抵抗体形成領域のLOCOS酸化膜3上にポリシリコン膜43から抵抗体9を形成し、抵抗体9の両端側に低抵抗ポリシリコン膜47から低抵抗ポリシリコ

ン領域 11 を形成し、ヒューズ素子形成領域の LOCOS 酸化膜 3 上に低抵抗ポリシリコン膜 47 からヒューズ素子 13 を形成し、MOS トランジスタ形成領域のゲート酸化膜 15 上及び LOCOS 酸化膜 3 上に低抵抗ポリシリコン膜 47 からゲート電極 17 を形成する (図 4 (c) 参照)。

【0050】

(4) 写真製版技術により、少なくとも抵抗体 9 の形成領域を覆い、MOS トランジスタの形成領域に開口部をもつ、高濃度拡散層形成用のレジストパターンを形成する。イオン注入法により、高濃度拡散層形成用のレジストパターンをマスクにして、例えばリン又はヒ素をイオンエネルギーは 30 keV 程度、ドーズ量は $5.0 \times 10^{15} \text{ atoms/cm}^2$ 程度の条件で注入して、MOS トランジスタの形成領域の半導体基板 1 にソース拡散層 19 及びドレイン拡散層 21 を形成する。

【0051】

高濃度拡散層形成用のレジストパターンを除去する。例えば CVD 法により、半導体基板 1 上全面に NSG 膜 23 を形成し、さらにその上に BPSG 膜 25 を形成した後、BPSG 膜 25 に対して高温熱処理によるリフローを施して平坦化する。

【0052】

写真製版技術及びドライエッチング技術により、抵抗体 9 の両端側の低抵抗ポリシリコン領域 11、11、ヒューズ素子 13、ゲート電極 17、ソース拡散層 19 及びドレイン拡散層 21 の形成領域に対応して、接続孔 27 を形成する (図 5 (d))。

【0053】

(5) 例えば、スパッタ法により、BPSG 膜 25 上及び接続孔 27 内にアルミニウム合金からなる金属層を形成し、写真製版技術及びドライエッチング技術により、金属層をパターニングしてメタル配線層 29 を形成し、抵抗体 9 の形成領域を覆うように電極パッド 31 を形成する (図 5 (e) 参照)。

【0054】

(6) 例えばプラズマ CVD 法により、メタル配線層 29 上及び電極パッド 31

上を含むBPSG膜25上にPSG膜33を形成し、さらにその上にSiN膜35を形成する。このとき、抵抗体9上に電極パッド31が形成されているので、PSG膜33及びSiN膜35の成膜時に周辺雰囲気中存在する水素、並びにPSG膜33及びSiN膜35に含まれる水素は電極パッド31により遮断されるので、抵抗体9に水素が侵入して抵抗値が変動するのを防止することができる。

【0055】

その後、写真製版技術及びドライエッチング技術により、ヒューズ素子13の形成領域に対応して、SiN膜35、PSG膜33、BPSG膜25及びNSG膜23にトリミング窓開口部37を形成し、電極パッド31の形成領域に対応してパッド開口部39を形成する（図1及び図2参照）。

【0056】

この製造方法の実施例によれば、上記工程（1）から（3）において、抵抗体9を形成するためのポリシリコン膜43を用いて、ヒューズ素子13及びゲート電極17を形成しているので、抵抗体9、ヒューズ素子13及びゲート電極17を別々の工程で形成したポリシリコン膜を用いて形成する場合に比べて、製造工程の短縮を図ることができる。

【0057】

上記の実施例では、抵抗体の抵抗値を制御するための不純物としてリンを用いているが、本発明の半導体装置及びその製造方法はこれに限定されるものではない。例えば、同一半導体基板上に抵抗体とPチャネルMOSトランジスタを形成する場合、PチャネルMOSトランジスタのゲート電極にはP型不純物を導入したポリシリコン膜を用いるが、そのゲート電極用のポリシリコン膜を用いて抵抗体を形成するようにしてもよい。例えばボロンなどのP型不純物はN型不純物に比べて原子の移動度が小さいので、抵抗体としてP型不純物を抵抗値制御用に導入したポリシリコン膜を用いることによって、熱処理による抵抗値の変動を抑制することができる。

【0058】

また、上記の実施例では抵抗体9の材料としてポリシリコンを用いているが、本発明の半導体装置及びその製造方法はこれに限定されるものではなく、抵抗体

の材料として例えばシリコンゲルマニウムやシリコンクロムなど、他の半導体材料を用いてもよい。

【0059】

また、上記の実施例では、上記工程（2）において、低抵抗ポリシリコン領域11の形成予定領域のポリシリコン膜43に対してリンを高濃度に導入して低抵抗化しているが、本発明の半導体装置の製造方法はこれに限定されるものではない。例えば上記工程（2）において抵抗体用パターン形成予定領域49全体をマスク用酸化膜45により覆った状態でポリシリコン膜43にリン導入を行ない、上記工程（3）において、ポリシリコン膜43から抵抗体9及び低抵抗ポリシリコン領域11用のポリシリコン膜パターンを形成し、上記工程（4）において、そのポリシリコン膜パターンの両端側に、ソース拡散層19及びドレイン拡散層21を形成するためのイオン注入時に不純物を導入して、抵抗体9の長さの画定及び低抵抗ポリシリコン領域11の形成を行なうようにしてもよい。

【0060】

また、図1及び図2、並びに図4から図6に示した実施例では、本発明を単層メタル配線構造に適用しているので、抵抗体9の電位をとるための低抵抗ポリシリコン領域11を電極パッド31の形成領域外に設けているが、本発明はこれに限定されるものではなく、本発明を多層メタル配線構造の半導体装置に適用する場合には、抵抗体の電位をとるための低抵抗ポリシリコン領域を電極パッドの形成領域内に設け、電極パッドよりも下層のメタル配線層を用いて低抵抗ポリシリコン膜の電位をとるようにしてもよい。

【0061】

図7に、5層メタル配線構造を備えた実施例の抵抗体形成領域及び電極パッド形成領域の断面図を示す。図8において図1及び図2に示した実施例と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0062】

半導体基板1表面に形成されたLOCOS酸化膜3上に複数の抵抗体9が形成されている。抵抗体9上を含む半導体基板1上全面に下層がNSG膜23、上層がBPSG膜25からなる層間絶縁層が形成されている。抵抗体9の形成領域を

覆うように、BPSG膜25上に第1メタル配線層29-1が形成されている。BPSG膜25上及び第1メタル配線層29-1上に第1層間絶縁層51-1が形成されている。第1層間絶縁層51-1には抵抗体9上に配置された第1メタル配線層29-1に対応して接続孔27-1が形成されている。

【0063】

接続孔27-1内及び第1層間絶縁層51-1上に、第1メタル配線層29-1に対応して第2メタル配線層29-2が形成されている。

第2メタル配線層29-2上及び第1層間絶縁層51-1上には、順次、第2層間絶縁層51-2、第3層間絶縁層51-3、第4層間絶縁層51-4が形成されている。

【0064】

抵抗体9の形成領域において、第2層間絶縁層51-2上に第3メタル配線層29-3、第3層間絶縁層51-3上に第4メタル配線層29-4、第4層間絶縁層51-4上に第5メタル配線層からなる電極パッド31が形成されている。

メタル配線層29-1、29-2、29-3、29-4及び電極パッド31は、接続孔27-1、27-2、27-3、27-4を介して電氣的に接続されている。

【0065】

このように、本発明の半導体装置を例えば5層メタル配線構造に適用することができる。5層目のメタル配線層により構成される電極パッド31と抵抗体9との間には、NSG膜23、BPSG膜25、層間絶縁層51-1、51-2、51-3、51-4、及び、メタル配線層29-1、29-2、29-3、29-4が設けられているので、例えばワイヤーボンディング時などにおける電極パッド31への機械的衝撃に起因する抵抗体9の特性変化などを防止することができる。

ただし、本発明が適用される半導体装置は5層メタル配線構造のものに限定されるものではなく、1層又は2層以上のメタル配線構造の半導体装置のいずれにも適用することができる。

【0066】

図8は、半導体装置のさらに他の実施例を示す断面図である。この実施例は本発明をWL-CSPに適用したものである。この実施例の抵抗体形成領域の平面図は図1(A)と同じである。図8において図1及び図2に示した実施例と同じ機能を果たす部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0067】

半導体基板1表面にLOCOS酸化膜3が形成されており、抵抗体形成領域のLOCOS酸化膜3上に複数の抵抗体9及び低抵抗ポリシリコン領域(図1及び図2の符号11参照)が形成されている。

抵抗体9の形成領域を含む半導体基板1上全面にNSG膜23が形成され、さらにその上にBPSG膜25が形成されている。

NSG膜23及びBPSG膜25には、抵抗体9の両端に設けられた低抵抗ポリシリコン領域に対応して接続孔(図1及び図2の符号27参照)が形成されている。

【0068】

接続孔27内及びBPSG膜25上にメタル配線層(図1(A)参照)が形成され、BPSG膜25上に、抵抗体9の形成領域を覆うように電極パッド31が形成されている。BPSG膜25上全面にPSG膜33が形成され、さらにその上にSiN膜35が形成されている。PSG膜33及びSiN膜35はパッシベーション膜を構成する。PSG膜33及びSiN膜35には、電極パッド31に対応してパッド開口部39が形成されている。

【0069】

SiN膜35上及びパッド開口部39内に、例えばAl-Si合金(Si:1w%)からなる第2メタル配線層53及び第2電極パッド55が形成されている。第2メタル配線層53及び第2電極パッド55は再配線層を構成する。第2メタル配線層53上及び第2電極パッド55上に、例えば下層から順にTi層/Ni層/Ag層(膜厚:0.1 μ m/0.4 μ m/0.1 μ m)からなるバリヤメタル層57が形成されている。

【0070】

第2メタル配線層53上を含むSiN膜35上に、例えばポリイミド膜59が

形成されている。ポリイミド膜 59 は最終保護膜を構成する。最終保護膜は、ポリイミド膜 59 に替えて、例えばポリベンゾオキサゾール膜により形成されていてもよい。

【0071】

ポリイミド膜 59 には第 2 電極パッド 55 に対応して第 2 パッド開口部 61 が形成されている。第 2 電極パッド 55 上にバリヤメタル層 57 を介して、例えば半田からなる外部接続端子 63 が形成されている。外部接続端子 63 はその先端部分がポリイミド膜 59 の表面から突出して設けられている。

【0072】

この実施例では、抵抗体 9 を電極パッド 31 下の領域に配置することによりチップ面積の縮小化を図ることができるのに加えて、外部接続端子 63 を電極パッド 31 の形成領域とは異なる領域に設けているので、電極パッド 31 への機械的衝撃をなくすことができ、電極パッド 31 下に配置された抵抗体 9 へのダメージを防ぎ、抵抗体 9 の抵抗値の変動などを防止することができる。

【0073】

図 9 は、図 8 に示した半導体装置を製造するための製造方法の一実施例を示す工程断面図である。図 8 及び図 9 を参照してこの製造方法の実施例を説明する。

【0074】

(1) 図 4 (a) から図 4 (c) を参照して説明した上記工程 (1) から工程 (3) と同様にして、半導体基板 1 表面に LOCOS 酸化膜 3 を形成し、LOCOS 酸化膜 3 上に抵抗体 9 及び抵抗体 9 の電位をとるための低抵抗ポリシリコン膜 (図示は省略) を形成する。

図 5 (d) を参照して説明した上記工程 (4) と同様にして、半導体基板 1 上全面に NSG 膜 23 を形成し、さらにその上に BPSG 膜 25 を形成し、NSG 膜 23 及び BPSG 膜 25 の所定の領域に接続孔 (図示は省略) を形成する。

【0075】

図 5 (e) を参照して説明した上記工程 (5) と同様にして、BPSG 膜 25 上及び接続孔内に電極パッド 31 及びメタル配線層 (図示は省略) を形成する。

図 1 及び図 2 を参照して説明した上記工程 (6) と同様にして、電極パッド 3

1 及びメタル配線層の形成領域を含むBPSG膜25上に、PSG膜33及びSiN膜35を順次形成してパッシベーション膜を形成し、SiN膜35及びPSG膜33にパッド開口部39を形成する(図9(a)参照)。

【0076】

(2) SiN膜35上及びパッド開口部39内に第2メタル配線層53及び第2電極パッド55を形成する。第2メタル配線層53上面及び第2電極パッド55上面にバリヤメタル層57を形成する(図9(b)参照)。

【0077】

第2メタル配線層53及び第2電極パッド55の材料は、例えばアルミニウム合金層(Al-Si合金(Si:1w%)、Al-Si-Cu合金(Si:1w%、Cu:0.5w%)、Al-Cu(Cu:1w%)、Al-Cu(Cu:2w%)など)や、Cu(銅)などを挙げることができる。

【0078】

第2メタル配線層53及び第2電極パッド55の材料にAl-Si合金(Si:1w%)を使用する場合、スパッタリング法によってAl-Si合金(Si:1w%)からなるアルミニウム合金層を3 μ mの厚みに成膜し、さらにその上にTi層/Ni層/Ag層(膜厚:0.1 μ m/0.4 μ m/0.1 μ m)からなるバリヤメタル層57をスパッタリング法又は蒸着法によって成膜する。レジスト塗布、写真製版法による露光及び現像により配線パターンに対応したレジストパターンを形成する。ウェットエッチング技術によりバリヤメタル層57を選択的に除去し、さらにドライエッチング技術によりアルミニウム合金層を選択的に除去して第2メタル配線層53及び第2電極パッド55を完成させる。エッチング後、レジストパターンをプラズマアッシャーで除去する。バリヤメタル層57は他の金属材料であってもよく、例えばTi層/Ni層/Au層や、Ni層/Pd層/Au層などを挙げることができる。

【0079】

第2メタル配線層53及び第2電極パッド55の材料にCuを使用する場合、スパッタリング法により、Cuのマイグレーション防止と密着力向上のためのクロムを0.1 μ mの膜厚で、Cuを0.5 μ mの膜厚で順次成膜する。レジスト塗

布、写真製版法による露光及び現像により配線パターンに対応したレジストパターンを形成する。電解メッキ法により、Cu配線を5 μ mの膜厚に成膜し、さらにその上にニッケルを3 μ m、パラジウムを0.5 μ m、金を1 μ mの膜厚で順次成膜してバリヤメタル層57を形成する。アッシャーでレジストパターンを除去した後、Cu配線が形成されていない部分のクロム及びCuをウェットエッチングで除去し、第2メタル配線層53及び第2電極パッド55を完成させる。

【0080】

(5) スピンコート法により、例えばネガ型感光性ポリイミド材料(HD4012(日立化成デュボンマイクロシステムズ株式会社製))を45 μ mの膜厚に塗布形成した後、第2パッド開口部形成領域に対応して遮光部をもつレチクルを用いて露光処理を施して、第2パッド開口部形成領域及び分離領域を除くネガ型感光性ポリイミド材料層に光照射する。現像処理を施して、ネガ型感光性ポリイミド材料層に第2電極パッド55の形成領域に対応して第2パッド開口部61を形成する。その後、320℃の硬化処理を施して、膜厚が25 μ m程度のポリイミド膜59を形成する(図9(c)参照)。

【0081】

(6) スクリーン印刷法により、第2パッド開口部61の位置に対応して、クリーム半田を成膜した後、赤外線リフロー炉を用いた加熱溶融法により温度260℃で10秒間加熱して外部接続端子63を形成する。その後、スクリーン印刷法で用いたフラックスを専用洗浄液で除去し、水洗、乾燥させる。その後、チップを切り出す(図8参照)。

【0082】

図8及び図9を参照して説明した上記実施例では、WL-CSPとして、再配線層により形成された第2電極パッド55上にバリヤメタル層57を介して半田からなる外部接続端子63を形成する構造の半導体装置に本発明を適用しているが、本発明が適用される、再配線層を備えた半導体装置はこれに限定されるものではなく、例えば再配線層の所定の領域にメタルポストを設け、封止層表面に露出させたメタルポストの上面に半田などの外部接続端子を設ける構造のWL-CSPなど、再配線層を備えている半導体装置であれば、本発明の半導体装置及び

その製造方法を適用することができる。

【0083】

図10は、アナログ回路である定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。

直流電源65からの電源を負荷67に安定して供給すべく、定電圧発生回路69が設けられている。定電圧発生回路69は、直流電源65が接続される入力端子(Vbat)71、基準電圧発生回路(Vref)73、演算増幅器(比較回路)75、出力ドライバを構成するPチャネルMOSトランジスタ(以下、PMOSと略記する)77、分割抵抗Ra, Rb及び出力端子(Vout)79を備えている。

【0084】

定電圧発生回路69の演算増幅器75では、出力端子がPMOS77のゲート電極に接続され、反転入力端子に基準電圧発生回路73から基準電圧Vrefが印加され、非反転入力端子に出力電圧Voutを分割抵抗RaとR2で分割した電圧が印加され、分割抵抗Ra, Rbの分割電圧が基準電圧Vrefに等しくなるように制御される。

【0085】

図11は、アナログ回路である電圧検出回路を備えた半導体装置の一実施例を示す回路図である。

電圧検出回路81において、75は演算増幅器で、その反転入力端子に基準電圧発生回路73が接続され、基準電圧Vrefが印加される。入力端子(Vsens)83から入力される測定すべき端子の電圧が分割抵抗RaとRbによって分割されて演算増幅器75の非反転入力端子に入力される。演算増幅器75の出力は出力端子(Vout)85を介して外部に出力される。

【0086】

電圧検出回路81では、測定すべき端子の電圧が高く、分割抵抗RaとRbにより分割された電圧が基準電圧Vrefよりも高いときは演算増幅器75の出力がHレベルを維持し、測定すべき端子の電圧が降下してきて分割抵抗RaとRbにより分割された電圧が基準電圧Vref以下になると演算増幅器75の出力

がLレベルになる。

【0087】

一般に、図10に示した定電圧発生回路や図11に示した電圧検出回路では、製造プロセスのバラツキに起因して基準電圧発生回路からの基準電圧 V_{ref} が変動するので、その変動に対応すべく、分割抵抗としてヒューズ素子の切断により抵抗値を調整可能な電圧設定回路を用いて、分割抵抗の抵抗値を調整している。

【0088】

図12は、アナログ回路である電圧設定回路を備えた半導体装置の一実施例を示す回路図である。図13及び図14は、その電圧設定回路のレイアウト例を示す図であり、図13はヒューズ素子部分のレイアウト例を示し、図14は抵抗部分のレイアウト例を示す。

【0089】

図12に示すように、抵抗 R_{bottom} 、 $m+1$ 個 (m は正の整数) の抵抗 R_{T0} 、 R_{T1} 、 \dots 、 R_{Tm} 、抵抗 R_{top} が直列に接続されている。抵抗 R_{T0} 、 R_{T1} 、 \dots 、 R_{Tm} には、各抵抗に対応してヒューズ素子 RL_0 、 RL_1 、 \dots 、 RL_m が並列に接続されている。

【0090】

図13に示すように、ヒューズ素子 RL_0 、 RL_1 、 \dots 、 RL_m は、例えばシート抵抗が $20\Omega \sim 40\Omega$ のポリシリコン膜により形成されている。これらのヒューズ素子として図1に示したヒューズ素子13を用いることができる。図13での図示は省略しているが、各ヒューズ素子の形成領域に対応して、半導体基板にトリミング窓開口部(図1の符号37参照)が形成されている。

【0091】

抵抗 R_{T0} 、 R_{T1} 、 \dots 、 R_{Tm} の値は抵抗 R_{bottom} 側から順に二進数的に増加するよう設定されている。すなわち、抵抗 R_{Tn} の抵抗値は、抵抗 R_{T0} の抵抗値を単位値とし、その単位値の 2^n 倍である。

例えば、図14に示すように、ポリシリコンパターンからなる抵抗体9を用い、抵抗 R_{T0} を1本の抵抗体9を単位抵抗値とし、抵抗 R_{Tn} を 2^n 本の抵抗体9により構成する。抵抗体9は、例えば図1及び図2に示したものが用いられる

。図14では、抵抗体9の電位をとるための低抵抗ポリシリコン領域及び抵抗体9上に配置される電極パッドの図示は省略している。

【0092】

図13及び図14において、符号A-A間、符号B-B間、符号C-C間、符号D-D、符号E-E、符号F-F及び符号G-G間はそれぞれメタル配線層29により電氣的に接続されている。

【0093】

このように、抵抗の比の精度が重視される電圧設定回路では、製造工程での作り込み精度を上げるために、一対の抵抗及びヒューズ素子からなる単位抵抗が直列に接続されて梯子状に配置されている。

このような電圧設定回路では、任意のヒューズ素子 RL_0 , RL_1 , ..., RL_m をレーザービームで切断することにより、所望の直列抵抗値を得ることができる。

本発明の半導体装置を構成する抵抗体によれば、抵抗値を安定させることができるので、図12に示した電圧設定回路の出力電圧の精度を向上させることができる。

【0094】

図12に示した電圧設定回路を図10に示した定電圧発生回路の分割抵抗 R_a , R_b に適用する場合、例えば抵抗 R_{bottom} 端を接地し、抵抗 R_{top} 端をPMOS71のドレインに接続する。さらに、抵抗 R_{bottom} 、 RT_0 間の端子Node L、又は抵抗 R_{top} 、 RT_m 間の端子Node Mを演算増幅器75の非反転入力端子に接続する。本発明を構成する抵抗体を適用した電圧設定回路によれば、分割抵抗 R_a , R_b の出力電圧の精度を向上させることができるので、定電圧発生回路69の出力電圧の安定性を向上させることができる。

【0095】

また、図12に示した電圧設定回路を図11に示した電圧検出回路の分割抵抗 R_a , R_b に適用する場合、例えば抵抗 R_{bottom} 端を接地し、抵抗 R_{top} 端を入力端子77に接続する。さらに、抵抗 R_{bottom} 、 RT_0 間の端子Node L、又は抵抗 R_{top} 、 RT_m 間の端子Node Mを演算増幅器75の非反転入力端子に

接続する。本発明を構成する抵抗体を適用した電圧設定回路によれば、分割抵抗 R_a 、 R_b の出力電圧の精度を向上させることができるので、電圧検出回路 81 の電圧検出能力の精度を向上させることができる。

【0096】

図 15 から図 18 を参照して、電圧設定回路における出力電圧の設定の具体例を説明する。

図 15、図 16 及び図 17 において、接地電位 (GND) と直流電源 65 の間に、抵抗 R_5 ($5\ \Omega$ (オーム))、 R_1 ($1\ \Omega$)、 R_2 ($2\ \Omega$)、 R_3 ($4\ \Omega$)、 R_4 ($8\ \Omega$)、 R_6 ($16\ \Omega$) が直列に接続されている。抵抗 R_1 、 R_2 、 R_3 、 R_4 には、各抵抗に対応してヒューズ素子 a 、 b 、 c 、 d が並列に接続されている。抵抗 R_4 、 R_6 間に出力端子 87 が接続されている。

【0097】

ここで、直流電源 65 を $V_{dd} = 10\text{ V}$ (ボルト)、 $GND = 0\text{ V}$ としたとき、出力端子 87 の電圧が何 V になるかを計算する。

図 15 では、ヒューズ素子 a 、 b 、 c 、 d が 1箇所も切断されていないので、抵抗 R_1 、 R_2 、 R_3 、 R_4 の 4つの抵抗は無効となる。この結果、

出力-GND間の抵抗値は $R_5 = 5\ (\Omega)$

出力- V_{dd} 間の抵抗値は $R_6 = 16\ (\Omega)$

であるので、全体の抵抗値は $5 + 16 = 21\ (\Omega)$ である。よって、

出力電圧 $= 10 \times 5 \div 21 \div 2.4\ (\text{V})$

が得られる。

【0098】

次に、図 16 に示したように、ヒューズ素子 a のみを切断した場合を考えると、出力-GND間に抵抗 R_1 の抵抗が挿入されることになるので、

出力-GND間の抵抗値は $R_1 + R_5 = 6\ (\Omega)$

出力- V_{dd} 間の抵抗値は $R_6 = 16\ (\Omega)$

である。したがって、

出力電圧 $= 10 \times 6 \div (16 + 6) \div 2.7\ (\text{V})$

となる。

これにより、図15の場合と比べて約0.3Vの出力電圧の違いを生み出すことができる。

【0099】

次に、図17に示したように、すべてのヒューズ素子a, b, c, dを切断した場合を考えると、

出力-GND間の抵抗値は $R_1 + R_2 + R_3 + R_4 + R_5 = 20 \text{ (}\Omega\text{)}$

出力-Vdd間の抵抗値は $R_6 = 16 \text{ (}\Omega\text{)}$

である。したがって、

出力電圧 $= 10 \times 20 \div (16 + 20) \approx 5.6 \text{ (V)}$

となる。この値は、図15の接続状態の場合と比べて、約3.2Vも大きい値である。

【0100】

つまり、ヒューズ素子a, b, c, dに対して、それぞれ切断又は非切断を選択することにより、 $2 \times 2 \times 2 \times 2 = 16$ 通りの組み合わせを設定することができる。このすべての組み合わせに対する出力電圧値を計算したものを表1に示し、それをグラフ化したものを図18に示す。

【0101】

【表 1】

トリミング番号	トリミングヒューズ				抵抗値(Ω)		出力電圧(V)
	d	c	b	a	出力-V _{dd} 間	GND-出力間	
1	0	0	0	0	16	5	2.4
2	0	0	0	1	16	6	2.7
3	0	0	1	0	16	7	3.0
4	0	0	1	1	16	8	3.3
5	0	1	0	0	16	9	3.6
6	0	1	0	1	16	10	3.8
7	0	1	1	0	16	11	4.1
8	0	1	1	1	16	12	4.3
9	1	0	0	0	16	13	4.5
10	1	0	0	1	16	14	4.7
11	1	0	1	0	16	15	4.8
12	1	0	1	1	16	16	5.0
13	1	1	0	0	16	17	5.2
14	1	1	0	1	16	18	5.3
15	1	1	1	0	16	19	5.4
16	1	1	1	1	16	20	5.6

"0":トリミングヒューズを切断しない

"1":トリミングヒューズを切断する

【0102】

表 1 及び図 18 から、電圧設定回路の出力電圧を最小 2.4 V から最大 5.6 V まで段階的に設定できることがわかる。

ここではヒューズ素子が 4 個の場合について説明したが、ヒューズ素子の数を増やすことで、より微調整ができるようになる。例えばヒューズ素子を 10 個備えた電圧設定回路であれば 1024 (2 の 10 乗) 通りもの出力電圧設定が実現できる。

【0103】

以上、本発明の実施例を説明したが、本発明を構成する抵抗体を適用した電圧設定回路が適用される半導体装置は、定電圧発生回路を備えた半導体装置及び電圧検出回路を備えた半導体装置に限定されるものではなく、電圧設定回路を備えた半導体装置であれば適用することができる。

【0104】

また、本発明を構成する抵抗体が適用される半導体装置は電圧設定回路を備えた半導体装置に限定されるものではなく、半導体材料からなる抵抗体を備えた半

導体装置であれば、本発明を適用することができる。

【0105】

また、上記実施例で説明した寸法、数値、形状、配置などは一例であり、本発明はこれに限定されるものではなく、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

【0106】

【発明の効果】

請求項1及び2に記載された半導体装置では、同一半導体基板上に形成されたMOSトランジスタと半導体材料からなる抵抗体をもつアナログ回路を備えた半導体装置において、抵抗体は金属層からなる電極パッド下に配置されているようにしたので、電極パッドにより、電極パッドよりも上層側からの抵抗体への不純物イオンや電荷、水分、水素などの侵入を防止することができるので、抵抗体の抵抗値の安定性を向上させることができる。さらに、抵抗体のためだけのレイアウト面積をなくすことができるので、チップ面積の縮小化を図ることができる。さらに、チップ面積の縮小化によってウェハ1枚当たりのチップの取れ数を増加させることができるので、製造コストを低減することができる。

【0107】

請求項3に記載された半導体装置では、電極パッド下に複数本数の抵抗体が配置されているようにしたので、チップ面積をさらに縮小することができる。

【0108】

請求項4に記載された半導体装置では、MOSトランジスタのゲート電極は抵抗体と同じ半導体材料により形成されているようにしたので、ゲート電極を形成するための半導体材料膜を抵抗体用の半導体材料膜とは別途形成する場合に比べて、製造工程の短縮及び製造コストの低減を図ることができる。

【0109】

請求項5に記載された半導体装置では、電極パッドの近傍領域の半導体基板上に形成された絶縁膜上にヒューズ素子を備えているようにしたので、例えばヒューズ素子の切断により抵抗値を調整できる電圧設定回路を備えた半導体装置において、電極パッド下に配置された抵抗体群とヒューズ素子を接続する配線の引き

回しが容易になり、回路設計を容易にすることができる。さらに、隣り合う電極パッド間の領域にヒューズ素子を配置するようにすれば、チップ面積の縮小化を図ることができる。

【0110】

請求項6に記載された半導体装置では、ヒューズ素子は抵抗体と同じ半導体材料により形成されているようにしたので、ヒューズ素子を形成するための半導体材料膜を抵抗体用の半導体材料膜とは別途形成する場合に比べて、製造工程の短縮及び製造コストの低減を図ることができる。

【0111】

請求項7に記載された半導体装置では、電極パッドよりも上層側に再配線層を備え、電極パッドの形成領域とは異なる領域で再配線層上に外部接続端子を備えているようにしたので、電極パッドには例えばワイヤーボンディングなどに起因する電極パッドへの強い機械的衝撃をなくすことができ、電極パッド下に配置した抵抗体について、電極パッドへの衝撃に起因する特性ズレや信頼性の低下などの悪影響を排除することができる。

【0112】

請求項8に記載された半導体装置では、2個以上の抵抗による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる電圧設定回路を備えた半導体装置において、上記抵抗は、本発明の半導体装置を構成する抵抗体により構成されているようにしたので、本発明の半導体装置を構成する抵抗体によって抵抗の抵抗値の安定性を向上させることができ、電圧設定回路の出力電圧の精度を向上させることができる。さらに、本発明の半導体装置ではチップ面積の縮小化を図ることができるので、電圧設定回路を備えた半導体装置のチップ面積の縮小化を図ることができる。

【0113】

請求項9に記載された半導体装置では、分割抵抗と、基準電圧発生回路と、比較回路とをもつ電圧検出回路を備えた半導体装置において、分割抵抗として本発明の半導体装置を構成する電圧設定回路を備えているようにしたので、本発明の半導体装置を構成する抵抗体が適用された電圧設定回路によって電圧設定回路の

出力電圧の精度を向上させることができ、電圧検出回路の電圧検出能力の精度を向上させることができる。さらに、本発明の半導体装置ではチップ面積の縮小化を図ることができるので、電圧検出回路を備えた半導体装置のチップ面積の縮小化を図ることができる。

【0114】

請求項10に記載された半導体装置では、出力ドライバと、分割抵抗と、基準電圧発生回路と、出力ドライバの動作を制御するための比較回路とをもつ定電圧発生回路を備えた半導体装置において、分割抵抗として本発明の半導体装置を構成する電圧設定回路を備えているようにしたので、本発明の半導体装置を構成する抵抗体が適用された電圧設定回路によって電圧設定回路の出力電圧の精度を向上させることができ、定電圧発生回路の出力電圧の安定性を向上させることができる。さらに、本発明の半導体装置ではチップ面積の縮小化を図ることができるので、定電圧発生回路を備えた半導体装置のチップ面積の縮小化を図ることができる。

【0115】

請求項11及び12に記載された半導体装置の製造方法では、同一半導体基板上に形成されたMOSトランジスタと半導体材料からなる抵抗体をもつアナログ回路を備えた半導体装置の製造方法において、半導体基板上に絶縁膜を形成した後、絶縁膜の形成領域を含む半導体基板上全面に半導体材料膜を形成し、半導体材料膜に所定の抵抗値を得るための不純物を導入する工程（A）、半導体材料膜をパターニングして絶縁膜上に抵抗体を形成する工程（B）、抵抗体の形成領域を含む半導体基板上全面に絶縁層を形成する工程（C）、抵抗体の形成領域を含む領域の絶縁層上に電極パッドを形成する工程（D）を含み、抵抗体を電極パッド下に配置するようにしたので、電極パッドにより、電極パッドよりも上層側からの抵抗体への不純物イオンや電荷、水分、水素などの侵入を防止することができるので、抵抗体の抵抗値の安定性を向上させることができる。さらに、抵抗体のためだけのレイアウト面積をなくすることができるので、チップ面積の縮小化を図ることができる。さらに、チップ面積の縮小化によってウェハ1枚当たりのチップの取れ数を増加させることができるので、製造コストを低減することができる。

る。

【0116】

請求項13に記載された半導体装置の製造方法では、工程(B)において、電極パッド形成予定領域に複数本数の抵抗体を形成するようにしたので、チップ面積をさらに縮小することができる。

【0117】

請求項14に記載された半導体装置の製造方法では、工程(D)において電極パッドを形成した後、電極パッドの形成領域に対応して開口部をもつ第2絶縁層を形成し、電極パッド上及び第2絶縁層上に再配線層を形成し、電極パッドの形成領域とは異なる領域で再配線層上に外部接続端子を形成する工程を含むようにしたので、例えばワイヤーボンディングなどに起因する電極パッドへの強い機械的衝撃をなくすことができ、電極パッド下に配置した抵抗体について、電極パッドへの衝撃に起因する特性ズレや信頼性の低下などの悪影響を排除することができる。

【0118】

請求項15に記載された半導体装置の製造方法では、工程(B)において、半導体材料膜を用いてMOSトランジスタの形成領域にゲート電極を形成するようにしたので、ゲート電極を形成するための半導体材料膜を抵抗体用の半導体材料膜とは別途形成する場合に比べて、製造工程の短縮及び製造コストの低減を図ることができる。

【0119】

請求項16に記載された半導体装置の製造方法では、半導体基板上にヒューズ素子も形成する場合、工程(B)において、半導体材料膜を用いて抵抗体の形成領域とは異なる領域の絶縁膜上にヒューズ素子を形成するようにしたので、ヒューズ素子を形成するための半導体材料膜を抵抗体用の半導体材料膜とは別途形成する場合に比べて、製造工程の短縮及び製造コストの低減を図ることができる。

【図面の簡単な説明】

【図1】

半導体装置の一実施例を示す図であり、(A)は平面図、(B)は(A)のA

－A' 位置での断面図である。

【図 2】

同実施例を示す図であり、図 1 (A) の B－B' 位置での断面図である。

【図 3】

抵抗体、ヒューズ素子及び MOS トランジスタを備えた半導体装置のレイアウト例を示す図であり、(A) は実施例、(B) は従来例、(C) は実施例の電極パッド近傍領域の拡大図である。

【図 4】

図 1 及び図 2 に示した半導体装置の実施例を製造するための製造方法の一実施例の前半を示す工程断面図である。

【図 5】

同実施例の後半を示す工程断面図である。

【図 6】

同実施例において低抵抗ポリシリコン膜形成時に用いるマスク用酸化膜を形成した状態での抵抗体形成領域近傍の平面図である。

【図 7】

5 層メタル配線構造を備えた半導体装置の実施例の抵抗体形成領域及び電極パッド形成領域を示す断面図である。

【図 8】

半導体装置のさらに他の実施例を示す断面図である。

【図 9】

図 8 に示した半導体装置を製造するための製造方法の実施例を示す工程断面図である。

【図 10】

アナログ回路である定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。

【図 11】

アナログ回路である電圧検出回路を備えた半導体装置の一実施例を示す回路図である。

【図 12】

アナログ回路である電圧設定回路を備えた半導体装置の一実施例を示す回路図である。

【図 13】

電圧設定回路のヒューズ素子部分のレイアウト例を示す図である。

【図 14】

電圧設定回路の抵抗体部分のレイアウト例を示す図である。

【図 15】

4つのヒューズ素子をもつ電圧設定回路を備えた半導体装置の他の実施例を示す回路図である。

【図 16】

同実施例において図 15 とは異なる接続状態を示す回路図である。

【図 17】

同実施例において図 15 及び図 16 とは異なる接続状態を示す回路図である。

【図 18】

同実施例における、4つのヒューズ素子の切断又は非切断の選択による設定出力電圧を示すグラフであり、縦軸は出力電圧、横軸はトリミング番号を示す。

【図 19】

従来の半導体装置の電極パッド近傍領域を示す図であり、(A)は平面図、(B)は(A)のX-X'位置での断面図である。

【図 20】

パッケージング後の半導体装置を示す断面図である。

【図 21】

ワイヤーボンディング後の半導体装置の電極パッド部分を示す図であり(A)は断面図、(B)は電子顕微鏡写真である。

【図 22】

従来の多層メタル配線構造の半導体装置の電極パッド部分を示す断面図である。

。

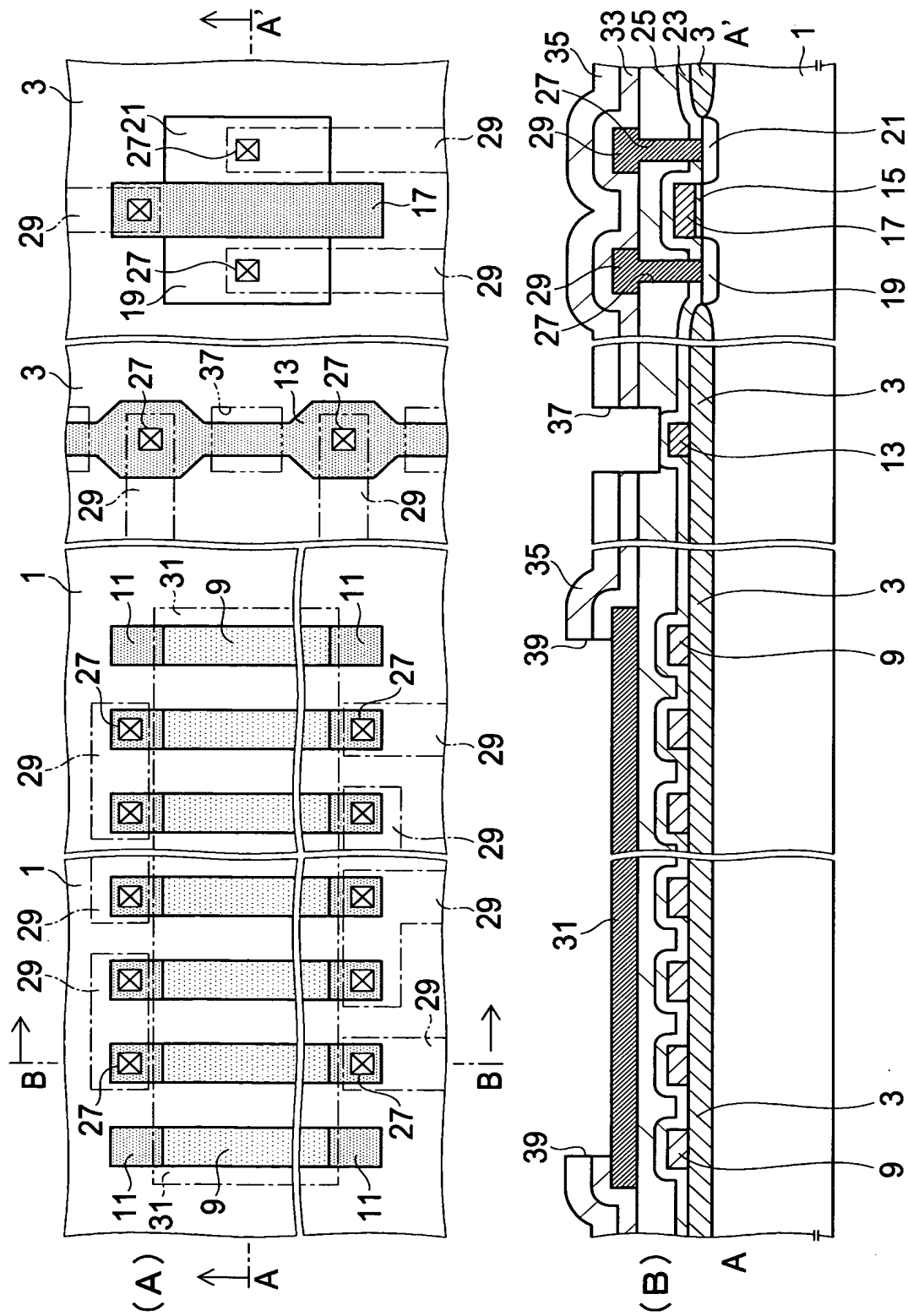
【符号の説明】

- 1 半導体基板
- 3 LOCOS酸化膜
- 9 抵抗体
- 11 低抵抗ポリシリコン領域
- 13 ヒューズ素子
- 15 ゲート酸化膜
- 17 ゲート電極
- 19 ソース拡散層
- 21 ドレイン拡散層
- 23 NSG膜
- 25 BPSG膜
- 27 接続孔
- 29, 29-1, 29-2, 29-3, 29-4 メタル配線層
- 31 電極パッド
- 33 PSG膜
- 35 SiN膜
- 37 トリミング窓開口部
- 39 パッド開口部
- 41 内部回路
- 43 ポリシリコン膜
- 45 マスク用酸化膜
- 47 低抵抗ポリシリコン膜
- 49 抵抗体用パターン形成予定領域
- 51-1, 51-2, 51-3, 51-4 層間絶縁層
- 53 第2メタル配線層
- 55 第2電極パッド
- 57 バリヤメタル層
- 59 ポリイミド膜
- 61 第2パッド開口部

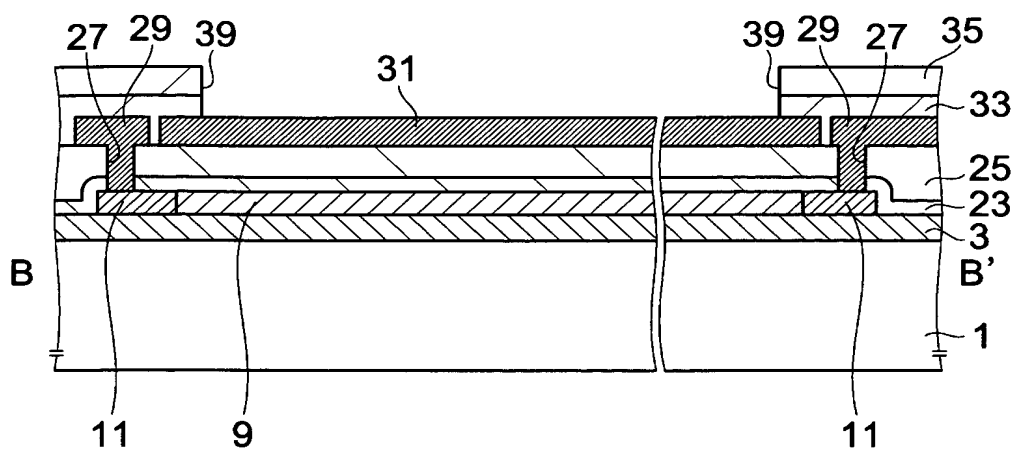
6 3	外部接続端子
6 5	直流電源
6 7	負荷
6 9	定電圧発生回路
7 1	入力端子
7 3	基準電圧発生回路
7 5	演算増幅器
7 7	PチャネルMOSトランジスタ
7 9	出力端子
8 1	電圧検出回路
8 3	入力端子
8 5, 8 7	出力端子
R a, R b	分割抵抗
R 1, R 2, R 3, R 4, R 5, R 6	抵抗
R _{bottom} , R _{T 0} , R _{T 1} , ..., R _{T m} , R _{top}	抵抗
R _{L 0} , R _{L 1} , ..., R _{L m}	ヒューズ素子
N o d e L, N o d e M	端子

【書類名】 図面

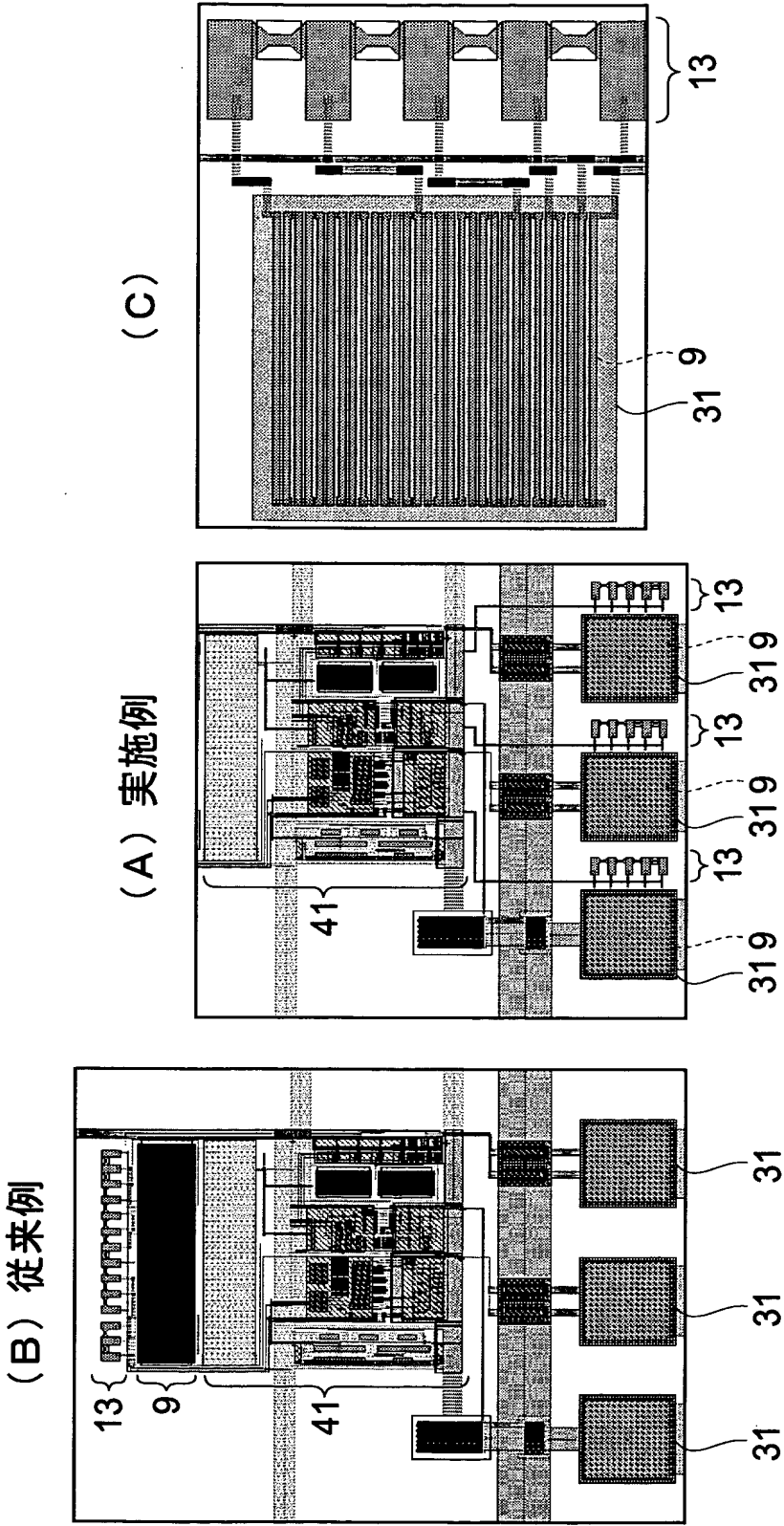
【図 1】



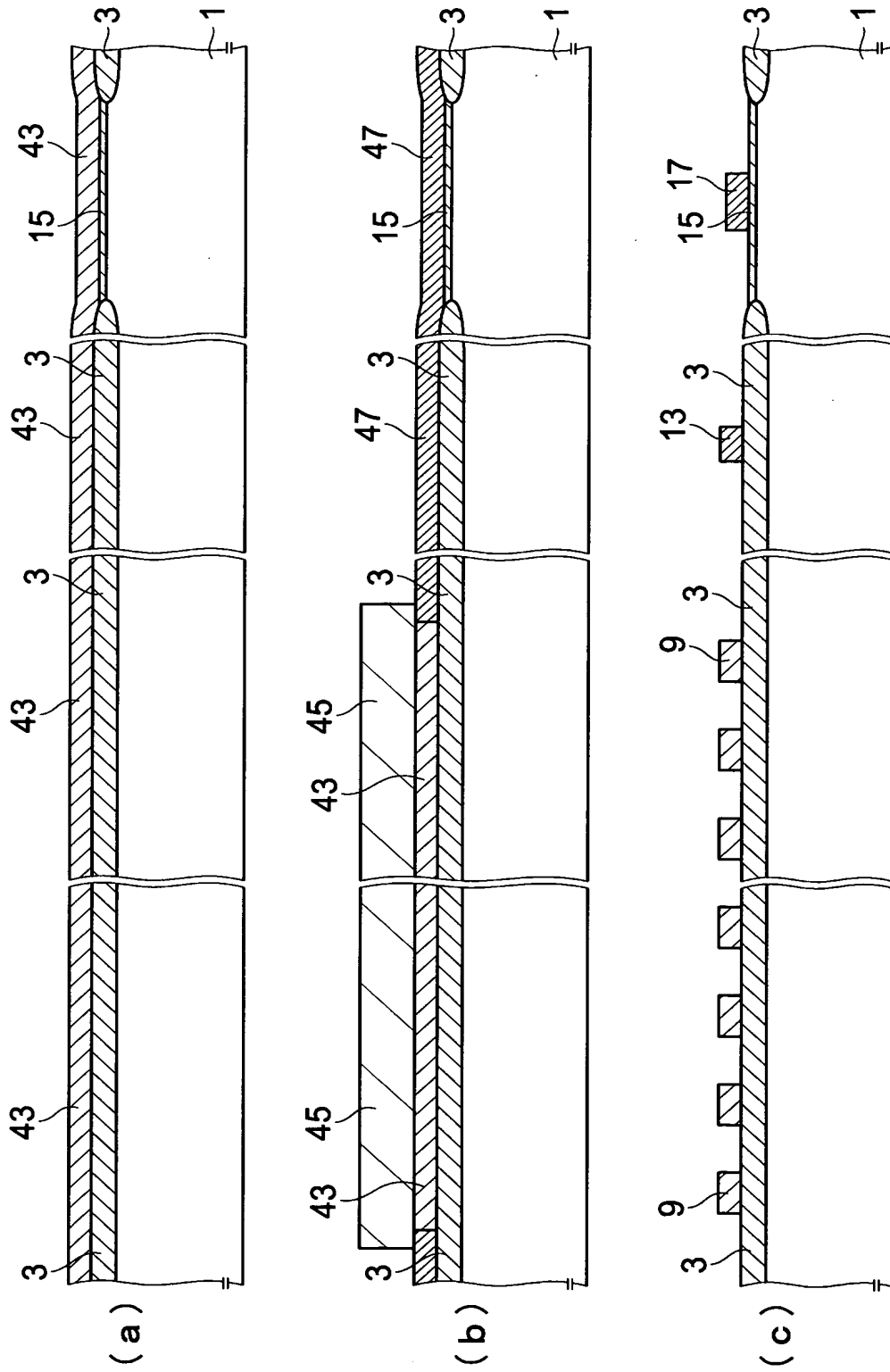
【図 2】



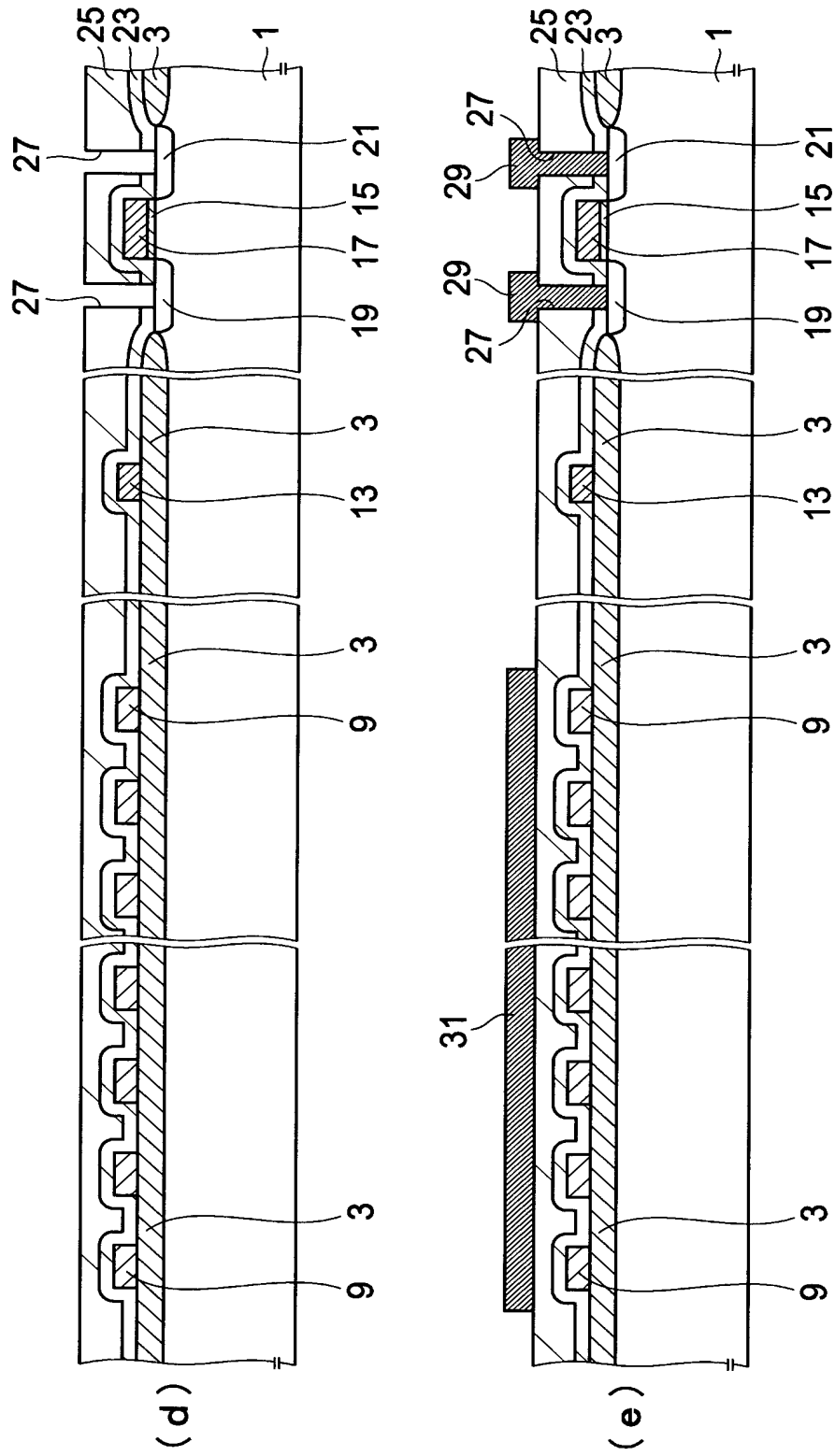
【図 3】



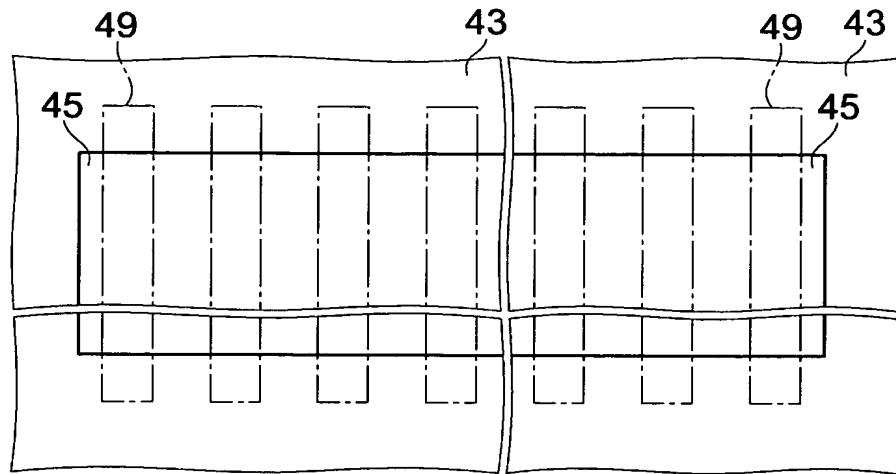
【図 4】



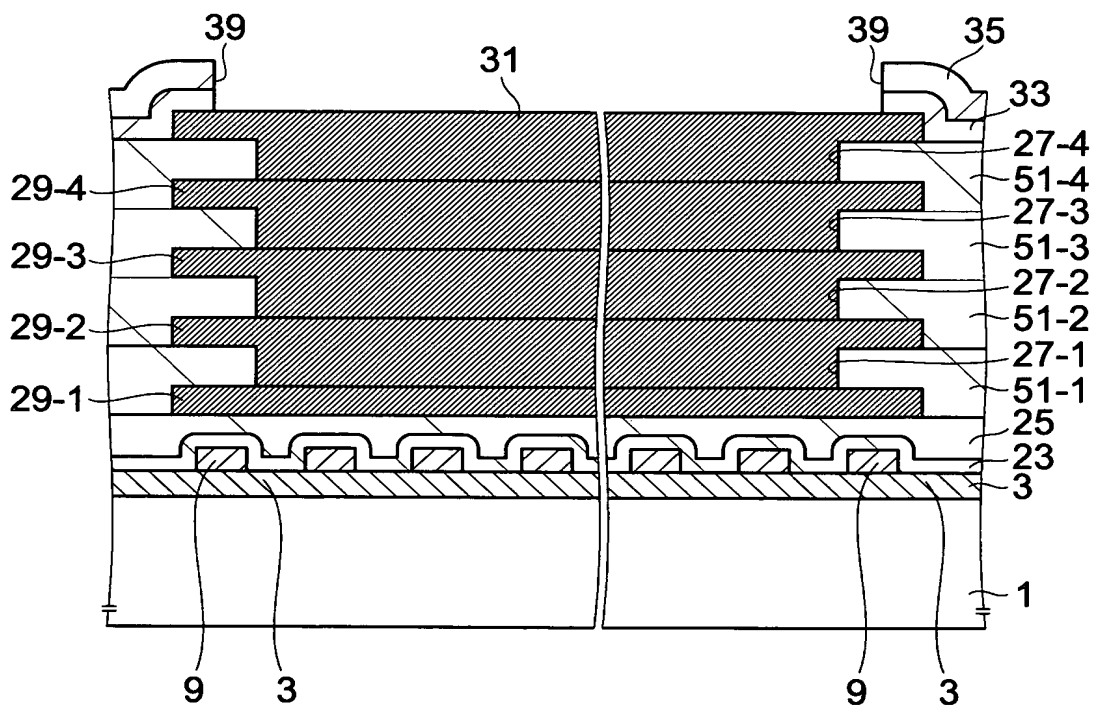
【図 5】



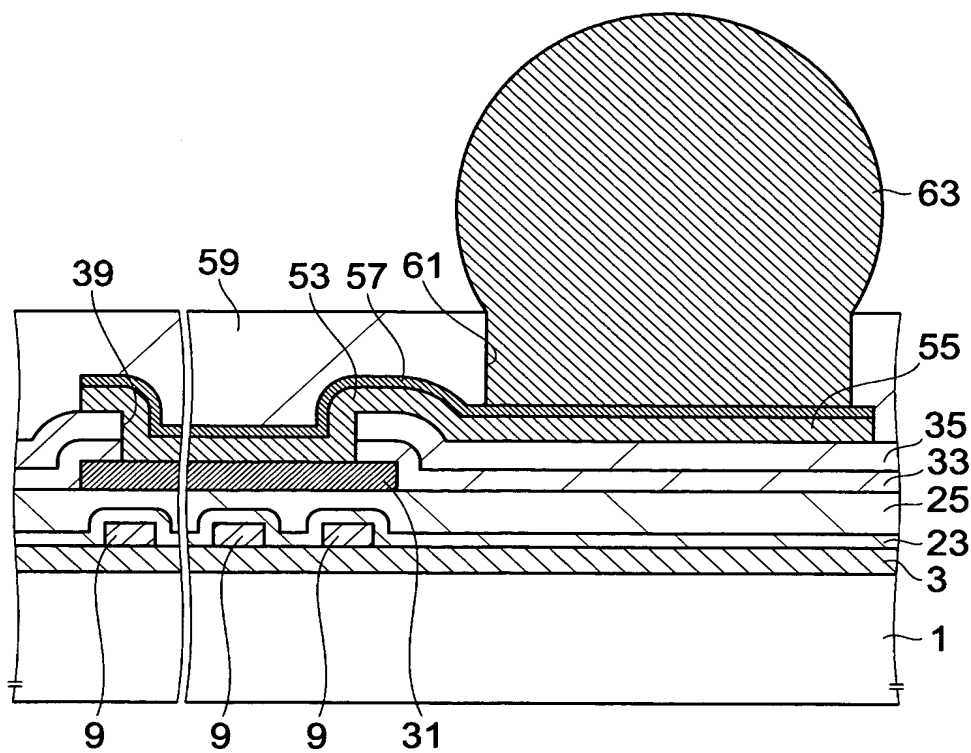
【図 6】



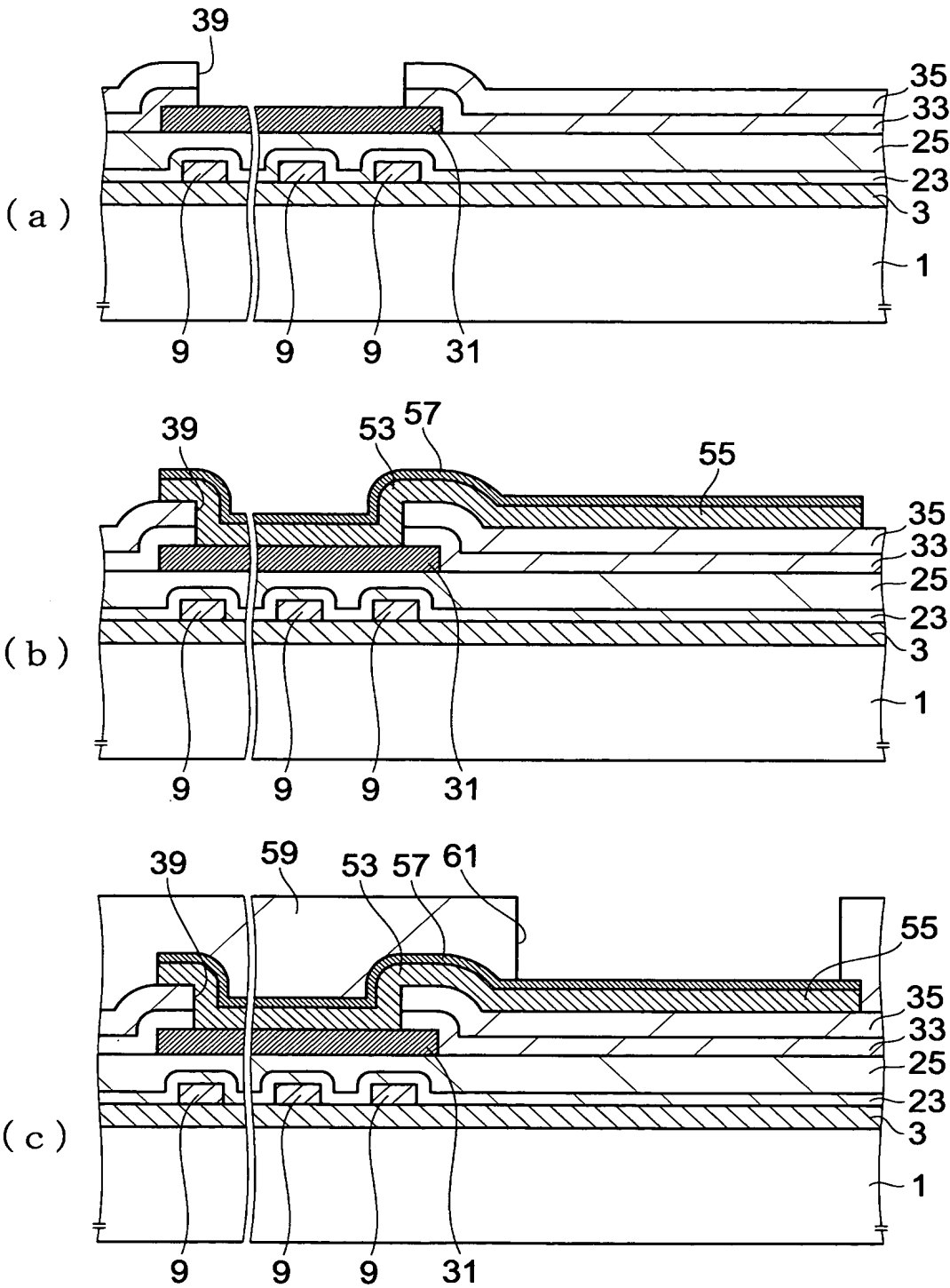
【図 7】



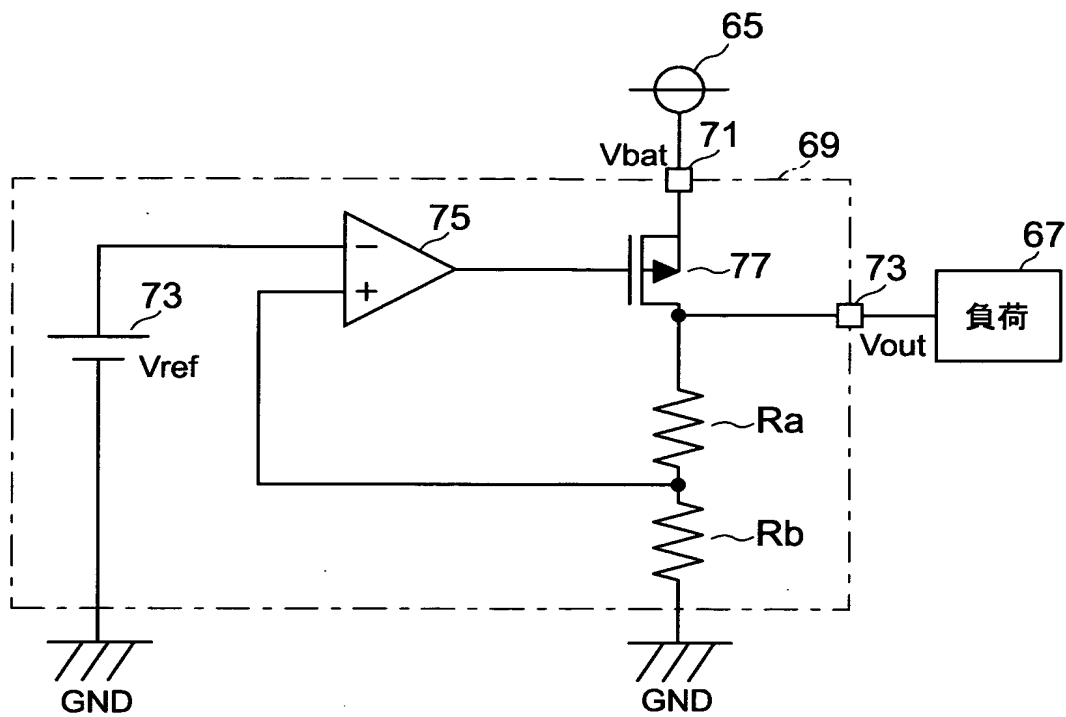
【図 8】



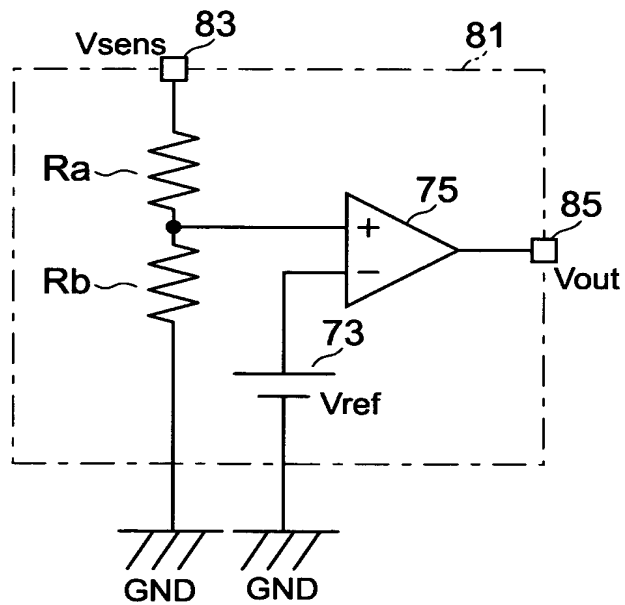
【図 9】



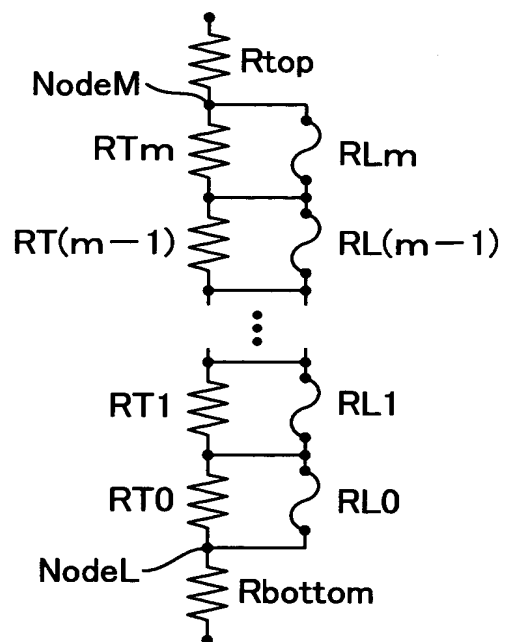
【図 10】



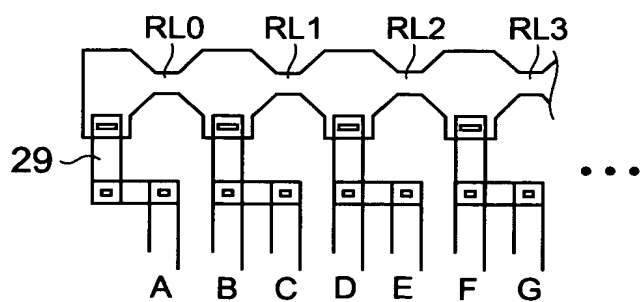
【図 11】



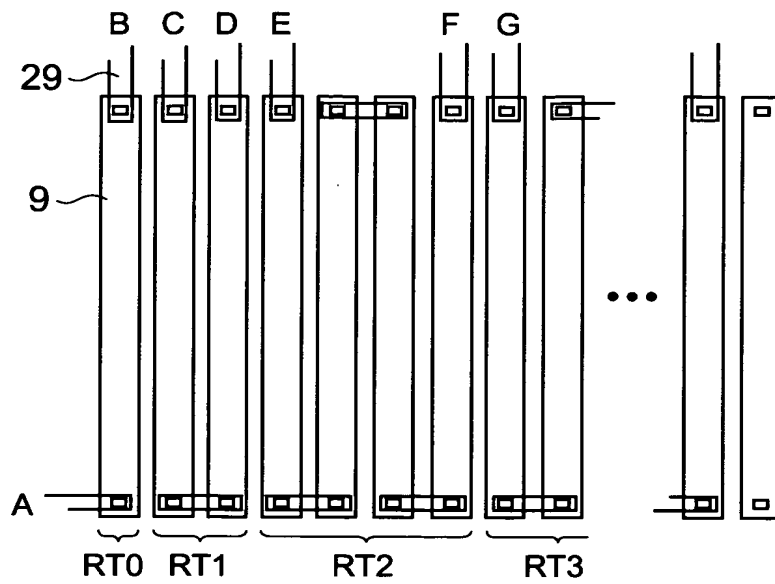
【図 12】



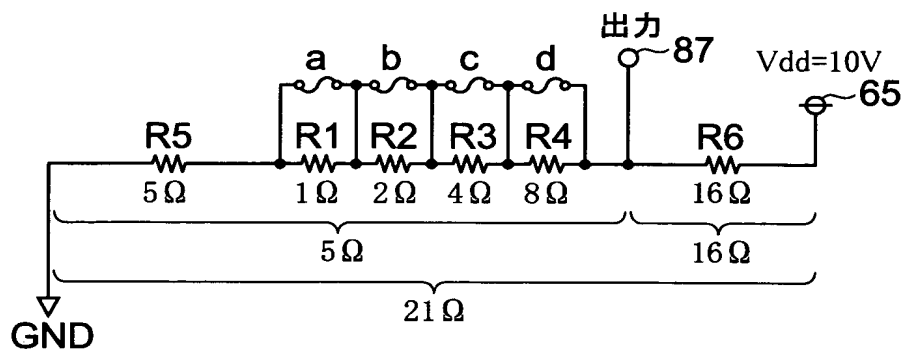
【図 13】



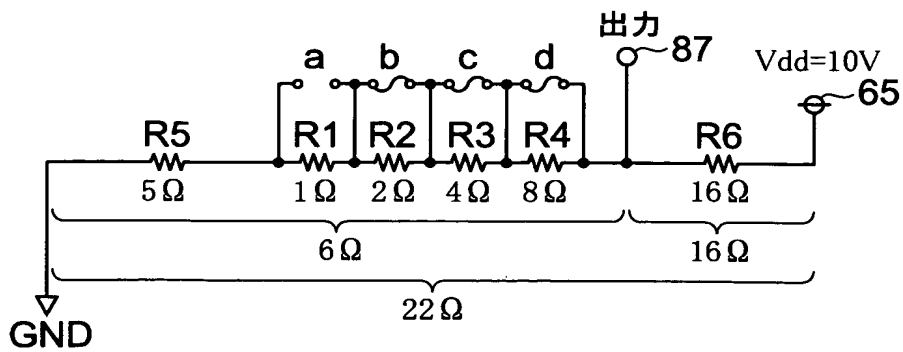
【図 14】



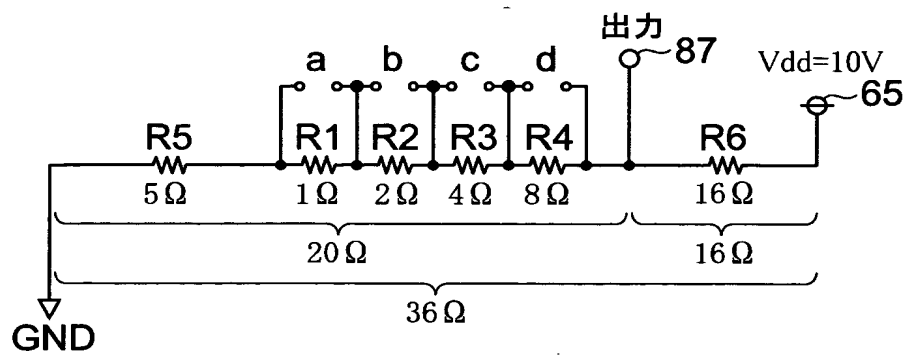
【図 15】



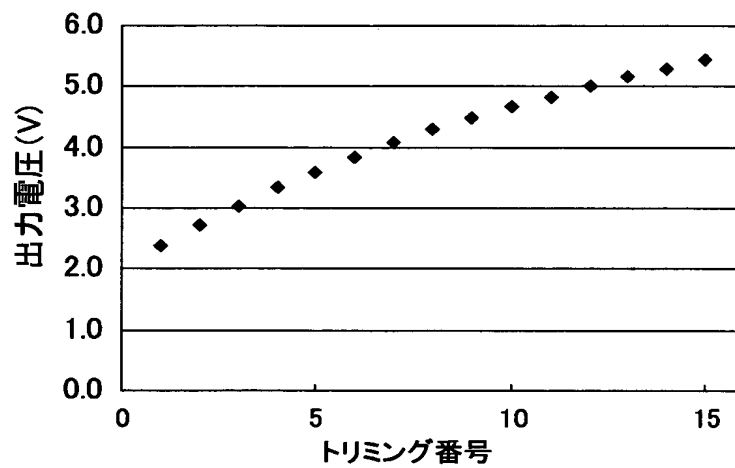
【図 16】



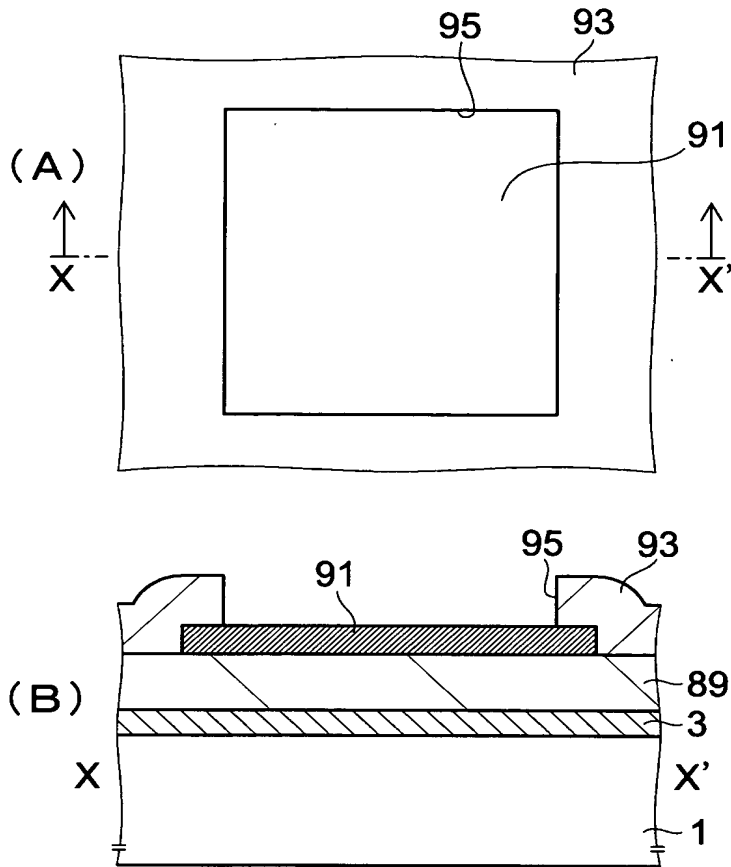
【図 17】



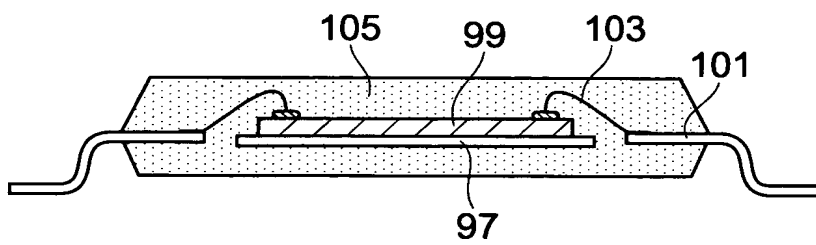
【図 18】



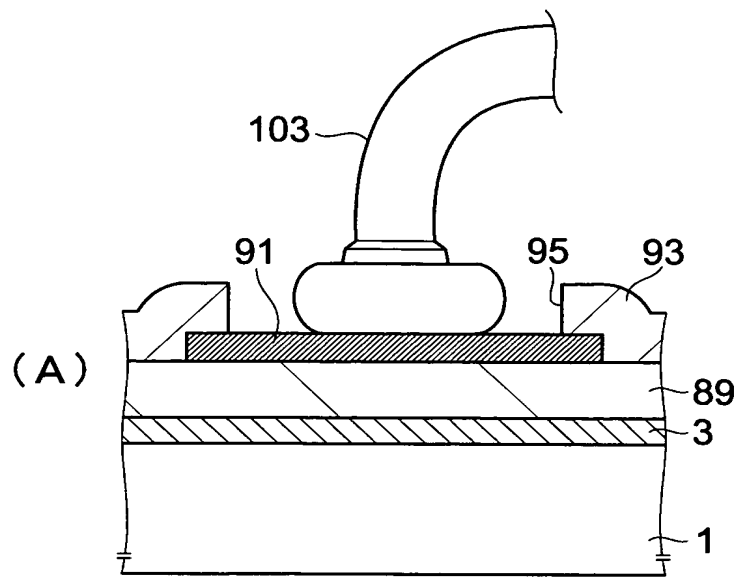
【図 19】



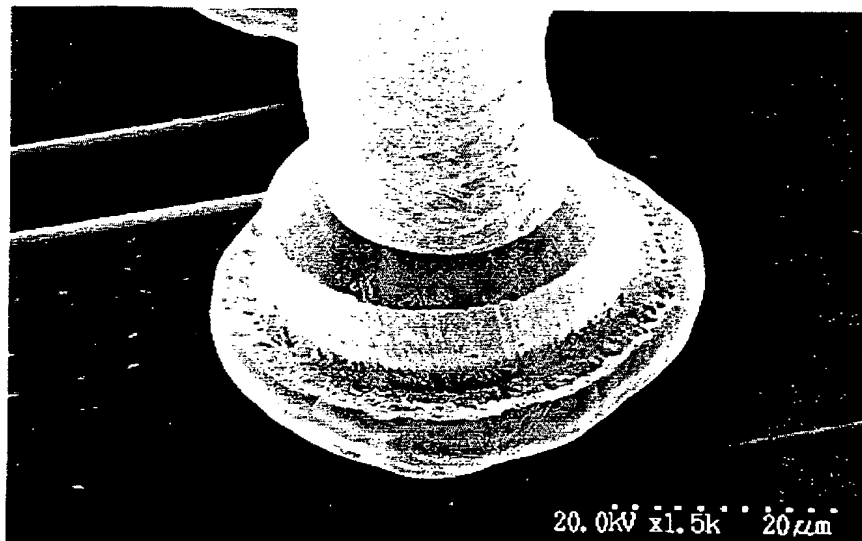
【図 20】



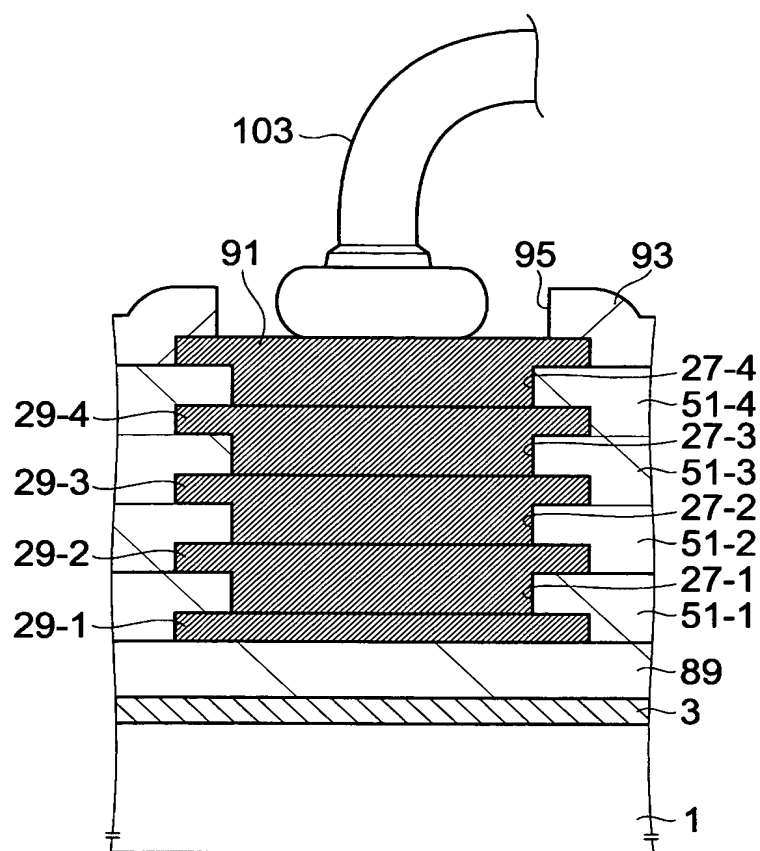
【図 21】



(B)



【図 22】



【書類名】 要約書

【要約】

【課題】 半導体材料からなる抵抗体をもつアナログ回路を備えた半導体装置において、抵抗体の抵抗値の安定性の向上及びチップ面積の縮小化を図る。

【解決手段】 抵抗体形成領域のLOCOS酸化膜3上に複数の抵抗体9が形成されている。半導体基板1上全面にNSG膜23及びBPSG膜25が形成され、抵抗体9の形成領域を含む領域のBPSG膜25上に電極パッド31が形成されている。抵抗体9は電極パッド31下に配置されているので、電極パッド31よりも上層側からの抵抗体9への不純物イオンや電荷、水分、水素などの侵入を防止することができ、抵抗体9の抵抗値の安定性を向上させることができる。さらに、抵抗体9のためだけのレイアウト面積をなくすることができるので、チップ面積の縮小化を図ることができる。

【選択図】 図1

特願 2 0 0 3 - 0 7 4 8 8 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 7 4 7]

1. 変更年月日	2 0 0 2 年 5 月 1 7 日
[変更理由]	住所変更
住 所	東京都大田区中馬込 1 丁目 3 番 6 号
氏 名	株式会社リコー